

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 5 月 9 日
Date of Application:

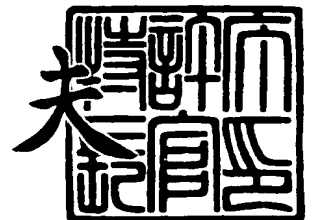
出 願 番 号 特 願 2 0 0 3 - 1 3 2 0 0 5
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 1 3 2 0 0 5]

出 願 人 シャープ株式会社
Applicant(s):

2 0 0 4 年 3 月 1 5 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 2 0 1 7 8

【書類名】 特許願

【整理番号】 03J01264

【提出日】 平成15年 5月 9日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 7/00
G11C 16/06

【発明の名称】 コンピュータシステム、メモリ構造、データの記憶を実行する構造

【請求項の数】 23

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 濱口 弘治

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 那脇 勝

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 森川 佳直

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 岩田 浩

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 柴田 晃秀

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100065248

【弁理士】

【氏名又は名称】 野河 信太郎

【電話番号】 06-6365-0718

【手数料の表示】

【予納台帳番号】 014203

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0306384

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 コンピュータシステム、メモリ構造、データの記憶を実行する構造

【特許請求の範囲】

【請求項 1】 CPU（中央処理装置）と、

複数のサイドウォールメモリトランジスタを含むサイドウォールメモリアレイと、プログラミング動作中に前記サイドウォールメモリトランジスタ中のサイドウォール部に負電荷を蓄えるための電圧を供給するチャージポンプと、各々が前記チャージポンプにより供給される前記電圧を受け取るように接続され、前記アレイの選択された複数のビット線の組へ前記電圧を転送する複数の切替回路と、前記複数の切替回路を選択された逐次順序でイネーブルする論理回路とを具備するメモリ装置と、

前記 CPU と前記メモリ装置との間でデータ及びアドレスを転送するシステムバスとを具備し、

前記サイドウォールメモリトランジスタが、半導体層上にゲート絶縁膜を介して形成されたゲート電極と、該ゲート電極下に配置されたチャネル領域と、該チャネル領域の両側に配置され、該チャネル領域と逆導電型を有する拡散領域と、該ゲート電極の両側に形成され、電荷を保持する機能を有するメモリ機能体とからなることを特徴とするコンピュータシステム。

【請求項 2】 前記切替回路が、ビット線と結合し、プログラムしようとするサイドウォールメモリトランジスタがプログラムされ終わるまで、プログラムされるべきトランジスタを数分割して構成されたトランジスタの組に接続されているビット線の選択されたある組に第 1 の電圧を転送するようにイネーブルされる請求項 1 に記載のコンピュータシステム。

【請求項 3】 前記論理回路が、選択されたビット線の各組がプログラムされ終わるまで各組に個別に前記電圧が印加されるように切替回路を選択した順に順次イネーブルするステートマシンを備える請求項 1 に記載のコンピュータシステム。

【請求項 4】 選択されたビット線がプログラムされるように前記電圧を受

け取るように接続されたある組のビット線を選択するために切替回路に接続されたビット線選択回路を更に備える請求項3に記載のコンピュータシステム。

【請求項5】 前記組の各々が4本のビット線を含む請求項1記載のコンピュータシステム。

【請求項6】 前記複数の切替回路は4つであり、切替回路は、4つのビット線に対応するように結合されている請求項1記載のコンピュータシステム。

【請求項7】 前記アレイの選択された複数のビット線の組へ前記電圧を転送する切替回路が、4つからなり、切替回路は、4つのビット線に対応するように結合されている請求項1記載のコンピュータシステム。

【請求項8】 複数のサイドウォールメモリトランジスタを含むサイドウォールメモリアレイと、プログラミング動作中に前記サイドウォールメモリトランジスタ中のサイドウォール部に負電荷を蓄えるための電圧を供給するチャージポンプと、各々が前記チャージポンプにより供給される前記電圧を受け取るように接続され、アレイの選択された複数のビット線の組へ前記電圧を転送する複数の切替回路と、前記複数の切替回路を選択された逐次順序でイネーブルする論理回路とを具備し、

前記サイドウォールメモリトランジスタが、半導体層上にゲート絶縁膜を介して形成されたゲート電極と、該ゲート電極下に配置されたチャネル領域と、該チャネル領域の両側に配置され、該チャネル領域と逆導電型を有する拡散領域と、該ゲート電極の両側に形成され、電荷を保持する機能を有するメモリ機能体とからなることを特徴とするメモリ構造。

【請求項9】 前記切替回路が、ビット線と結合し、プログラムしようとするサイドウォールメモリトランジスタがプログラムされ終わるまで、プログラムされるべきトランジスタを数分割して構成されたトランジスタの組に接続されているビット線の選択されたある組に前記電圧を転送するようにイネーブルされる請求項8に記載のメモリ構造。

【請求項10】 前記論理回路が、選択されたビット線の各組がプログラムされ終わるまで各組に個別に前記電圧が印加されるように切替回路を選択した順に順次イネーブルするステートマシンである請求項8記載のメモリ構造。

【請求項 11】 選択されたビット線がプログラムされ終わるように前記電圧を受け取るように接続されたある組のビット線を選択するために切替回路に接続されたビット線選択回路を更に備える請求項 10 に記載のメモリ構造。

【請求項 12】 前記の組の各々が 4 本のビット線を含む請求項 8 記載のメモリ構造。

【請求項 13】 前記複数の切替回路は 4 つであり、切替回路は、4 つのビット線に対応するように結合されている請求項 8 記載のメモリ構造。

【請求項 14】 CPU と、

複数のサイドウォールメモリトランジスタを含むサイドウォールメモリアレイ手段と、プログラミング動作中に前記サイドウォールメモリトランジスタ中のサイドウォール部に負電荷を蓄えるための電圧を供給するチャージポンプ手段と、アレイ手段の選択された複数のビット線の組へ前記電圧を転送する複数の手段と、前記アレイ手段の選択された複数のビット線の組へ第 1 の電圧を転送する複数の手段を選択された逐次順序でイネーブルする手段とを具備するデータの記憶を実行する手段と、

前記中央処理手段と前記データの記憶を実行する手段との間でデータ及びアドレスを転送するシステムバス手段とを具備し、

前記サイドウォールメモリトランジスタが、半導体層上にゲート絶縁膜を介して形成されたゲート電極と、該ゲート電極下に配置されたチャネル領域と、該チャネル領域の両側に配置され、該チャネル領域と逆導電型を有する拡散領域と、該ゲート電極の両側に形成され、電荷を保持する機能を有するメモリ機能体とからなることを特徴とするコンピュータシステム。

【請求項 15】 前記転送する複数の手段の選択された転送する手段が、ビット線と結合し、プログラムしようとするサイドウォールメモリトランジスタがプログラムされ終わるまで、プログラムされるべきトランジスタを数分割して構成されたトランジスタの組に接続されているビット線の選択されたある組に第 1 の電圧を転送するようにイネーブルされる請求項 14 に記載のコンピュータシステム。

【請求項 16】 前記イネーブルする手段が、各組の選択されたビットがプ

プログラムされ終わるまで各組に個別に前記電圧が印加されるようにアレイ手段の選択された複数のビット線の組へ前記電圧を転送する複数の手段を各々イネーブルするステートマシンを備える請求項 14 記載のコンピュータシステム。

【請求項 17】 前記の組の各々は 4 本のビット線を含む請求項 14 記載のコンピュータシステム。

【請求項 18】 アレイ手段の選択された複数のビット線の組へ前記電圧を転送する複数の手段が、4 つの切替回路からなる請求項 14 記載のコンピュータシステム。

【請求項 19】 複数のサイドウォールメモリトランジスタを含むサイドウォールメモリアレイ手段と、プログラミング動作中に前記サイドウォールメモリトランジスタ中のサイドウォール部に負電荷を蓄えるための電圧を供給するチャージポンプ手段と、前記アレイ手段の選択された複数のビット線の組へ前記電圧を転送する複数の手段と、アレイ手段の選択された複数のビット線の組へ前記電圧を転送する複数の手段を選択された逐次順序でイネーブルする手段とを具備し、

前記サイドウォールメモリトランジスタが、半導体層上にゲート絶縁膜を介して形成されたゲート電極と、該ゲート電極下に配置されたチャネル領域と、該チャネル領域の両側に配置され、該チャネル領域と逆導電型を有する拡散領域と、該ゲート電極の両側に形成され、電荷を保持する機能を有するメモリ機能体とからなることを特徴とするデータの記憶を実行する構造。

【請求項 20】 前記転送する手段が、ビット線と結合し、プログラムしようとするサイドウォールメモリトランジスタがプログラムされ終わるまで、プログラムされるべきトランジスタを数分割して構成されたトランジスタの組に接続されているビット線の選択されたある組に第 1 の電圧を転送するようにイネーブルされる請求項 19 に記載のデータの記憶を実行する構造。

【請求項 21】 前記イネーブルする手段が、選択されたビットの各組がプログラムされ終わるまでアレイ手段の選択された複数のビット線の各組へ前記電圧を転送する複数の手段をイネーブルするステートマシンを備える請求項 19 記載のデータの記憶を実行する構造。

【請求項 22】 前記の組が、各々 4 本のビット線を含む請求項 19 記載のデータの記憶を実行する構造。

【請求項 23】 アレイ手段の選択された複数のビット線の組へ前記電圧を転送する手段が、4 つの切替回路からなり、切替回路は、4 つのビット線に対応するように結合されている請求項 19 記載のデータの記憶を実行する構造。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、コンピュータシステム、メモリ構造、データの記憶を実行する構造に関する。より具体的には、電荷もしくは分極を保持する機能を有するメモリ機能体を備えたサイドウォールメモリトランジスタを配列してなるコンピュータシステム、メモリ構造、データの記憶を実行する構造に関する。

【0002】

【従来の技術】

従来から不揮発性メモリとして、代表的にはフラッシュメモリが用いられている。

【0003】

このフラッシュメモリは、図 22 に示したように、半導体基板 901 上にゲート絶縁膜を介してフローティングゲート 902、絶縁膜 907、ワード線（コントロールゲート）903 がこの順に形成されており、フローティングゲート 902 の両側には、拡散領域によるソース線 904 及びビット線 905 が形成されてメモリセルを構成する。メモリセルの周囲には、素子分離領域 906 が形成されている（例えば、特許文献 1）。

【0004】

メモリセルは、フローティングゲート 902 中の電荷量の多寡として記憶を保持する。メモリセルを配列して構成したメモリセルアレイは、特定のワード線、ビット線を選択して所定の電圧を印加することにより、所望のメモリセルの書き換え、読み出し動作を行なうことができる。

【0005】

このようなフラッシュメモリでは、フローティングゲート中の電荷量が変わったとき、図23に示すような、ドレイン電流 (I_d) 対ゲート電圧 (V_g) 特性を示す。フローティングゲート中の負電荷の量が増加すると、閾値が増加し、 $I_d - V_g$ 曲線は V_g の増加する方向にほぼ平行移動する。

【0006】

【特許文献1】

特開平5-304277

【0007】

【発明が解決しようとする課題】

しかし、このようなフラッシュメモリでは、フローティングゲート902とワード線903とを隔てる絶縁膜907を配置することが機能上必要であるとともに、フローティングゲート902からの電荷漏れを防ぐために、ゲート絶縁膜の厚さを薄くすることが困難であった。そのため、実効的な絶縁膜907及びゲート絶縁膜の薄膜化は困難であり、メモリセルの微細化を阻害していた。

【0008】

【課題を解決するための手段】

本発明によれば、CPUと、

複数のサイドウォールメモリトランジスタを含むサイドウォールメモリアレイと、プログラミング動作中に前記サイドウォールメモリトランジスタ中のサイドウォール部に負電荷を蓄えるための電圧を供給するチャージポンプと、各々が前記チャージポンプにより供給される前記電圧を受け取るように接続され、前記アレイの選択された複数のビット線の組へ前記電圧を転送する複数の切替回路と、前記複数の切替回路を選択された逐次順序でイネーブルする論理回路とを具備するメモリ装置と、

前記CPUと前記メモリ装置との間でデータ及びアドレスを転送するシステムバスとを具備し、

前記サイドウォールメモリトランジスタが、半導体層上にゲート絶縁膜を介して形成されたゲート電極と、該ゲート電極下に配置されたチャネル領域と、該チャネル領域の両側に配置され、該チャネル領域と逆導電型を有する拡散領域と、

該ゲート電極の両側に形成され、電荷を保持する機能を有するメモリ機能体とからなることを特徴とするコンピュータシステムが提供される。

【0009】

また、本発明によれば、複数のサイドウォールメモリトランジスタを含むサイドウォールメモリアレイと、プログラミング動作中に前記サイドウォールメモリトランジスタ中のサイドウォール部に負電荷を蓄えるための電圧を供給するチャージポンプと、各々が前記チャージポンプにより供給される前記電圧を受け取るように接続され、アレイの選択された複数のビット線の組へ前記電圧を転送する複数の切替回路と、前記複数の切替回路を選択された逐次順序でイネーブルする論理回路とを具備し、

前記サイドウォールメモリトランジスタが、半導体層上にゲート絶縁膜を介して形成されたゲート電極と、該ゲート電極下に配置されたチャネル領域と、該チャネル領域の両側に配置され、該チャネル領域と逆導電型を有する拡散領域と、該ゲート電極の両側に形成され、電荷を保持する機能を有するメモリ機能体とからなることを特徴とするメモリ構造が提供される。

【0010】

更に、本発明によれば、CPUと、

複数のサイドウォールメモリトランジスタを含むサイドウォールメモリアレイ手段と、プログラミング動作中に前記サイドウォールメモリトランジスタ中のサイドウォール部に負電荷を蓄えるための電圧を供給するチャージポンプ手段と、アレイ手段の選択された複数のビット線の組へ前記電圧を転送する複数の手段と、前記アレイ手段の選択された複数のビット線の組へ第1の電圧を転送する複数の手段を選択された逐次順序でイネーブルする手段とを具備するデータの記憶を実行する手段と、

前記中央処理手段と前記データの記憶を実行する手段との間でデータ及びアドレスを転送するシステムバス手段とを具備し、

前記サイドウォールメモリトランジスタが、半導体層上にゲート絶縁膜を介して形成されたゲート電極と、該ゲート電極下に配置されたチャネル領域と、該チャネル領域の両側に配置され、該チャネル領域と逆導電型を有する拡散領域と、

該ゲート電極の両側に形成され、電荷を保持する機能を有するメモリ機能体とからなることを特徴とするコンピュータシステムが提供される。

【0011】

また、本発明によれば、複数のサイドウォールメモリトランジスタを含むサイドウォールメモリアレイ手段と、プログラミング動作中に前記サイドウォールメモリトランジスタ中のサイドウォール部に負電荷を蓄えるための電圧を供給するチャージポンプ手段と、前記アレイ手段の選択された複数のビット線の組へ前記電圧を転送する複数の手段と、アレイ手段の選択された複数のビット線の組へ前記電圧を転送する複数の手段を選択された逐次順序でイネーブルする手段とを具備し、

前記サイドウォールメモリトランジスタが、半導体層上にゲート絶縁膜を介して形成されたゲート電極と、該ゲート電極下に配置されたチャネル領域と、該チャネル領域の両側に配置され、該チャネル領域と逆導電型を有する拡散領域と、該ゲート電極の両側に形成され、電荷を保持する機能を有するメモリ機能体とからなることを特徴とするデータの記憶を実行する構造が提供される。

【0012】

上記サイドウォールメモリトランジスタ（以下、単にSWメモリ素子という）では、メモリ機能体が担うメモリ機能と、ゲート絶縁膜が担うトランジスタ動作機能とが分離されている。そのため、十分なメモリ機能を有したまま、ゲート絶縁膜を薄膜化して短チャネル効果を抑制するのが容易である。更に、EEPROMに比べて、書換えにより拡散領域間を流れる電流値が大きく変化する。したがって、コンピュータシステムの手書き状態と消去状態との判別が容易となる。

【0013】

また、このSWメモリ素子は、その構成に基づいて、通常のトランジスタ形成プロセスと非常に親和性が高いプロセスによって形成することができる。それゆえ、従来のフラッシュメモリと混載する場合に比べて、飛躍的にマスク枚数及びプロセス工数を削減することが可能となる。したがって、このSWメモリ素子とCPUとを混載したチップの歩留まりを向上させることができ、これに起因して、製造コストが削減され、ひいては信頼性が高く、安価なコンピュータシステム

が得られる。

【0014】

更に、本発明によれば、上記に記載のコンピュータシステムを備えた表示装置又は携帯電子機器が提供される。

【0015】

このような構成によれば、例えば、本発明のコンピュータシステムを表示パネルの製造後に、表示ばらつきを補正するための情報記憶に用いた場合には、表示装置の製品間において均一な画質を得ることができる。しかも、SWメモリ素子と論理回路の混載プロセスが簡易なので、製造コストを抑制することができる。とともに、高速読出し動作により、動作速度を向上させることができ、安価で、かつ高性能の表示装置又は携帯電子機器を得ることができる。

【0016】

【発明の実施の形態】

本発明に使用できるSWメモリ素子は、主として、半導体層と、ゲート絶縁膜と、ゲート電極と、チャネル領域と、拡散領域と、メモリ機能体とから構成される。ここで、チャネル領域とは、通常、半導体層と同じ導電型の領域であって、ゲート電極直下の領域を意味し、拡散領域は、チャネル領域と逆導電型の領域と意味する。

【0017】

具体的には、本発明のSWメモリ素子は、拡散領域である1つの第1導電型の領域と、チャネル領域である第2導電型の領域と、第1及び第2導電型の領域の境界を跨って配置された1つのメモリ機能体と、ゲート絶縁膜を介して設けられた電極とから構成されていてもよいが、ゲート絶縁膜上に形成されたゲート電極と、ゲート電極の両側に形成された2つのメモリ機能体と、メモリ機能体のゲート電極と反対側のそれぞれに配置される2つの拡散領域と、ゲート電極下に配置されたチャネル領域とから構成されることが適当である。

【0018】

本発明のSWメモリ素子は、半導体層として半導体基板の上、好ましくは半導体基板内に形成された第1導電型のウェル領域の上に形成されることが好ましい

。

【0019】

半導体基板としては、メモリ素子に使用されるものであれば特に限定されるものではなく、例えば、シリコン、ゲルマニウム等の元素半導体、シリコンゲルマニウム、GaAs、InGaAs、ZnSe、GaN等の化合物半導体によるバルク基板が挙げられる。また、表面に半導体層を有するものとして、SOI (Silicon on Insulator) 基板、SOS基板又は多層SOI基板等の種々の基板、ガラスやプラスチック基板上に半導体層を有するものを用いてもよい。なかでもシリコン基板又は表面にシリコン層が形成されたSOI基板等が好ましい。半導体基板又は半導体層は、内部を流れる電流量に多少が生ずるが、単結晶（例えば、エピタキシャル成長による）、多結晶又はアモルファスのいずれであってもよい。

。

【0020】

この半導体層上には、素子分離領域が形成されていることが好ましく、更にトランジスタ、キャパシタ、抵抗等の素子、これらによる回路、半導体装置や層間絶縁膜が組み合わせられて、シングル又はマルチレイヤー構造で形成されていてもよい。なお、素子分離領域は、LOCOS膜、トレンチ酸化膜、STI膜等種々の素子分離膜により形成することができる。半導体層は、P型又はN型の導電型を有していてもよく、半導体層には、少なくとも1つの第1導電型（P型又はN型）のウェル領域が形成されていることが好ましい。半導体層及びウェル領域の不純物濃度は、当該分野で公知の範囲のものが使用できる。なお、半導体層としてSOI基板を用いる場合には、表面半導体層には、ウェル領域が形成されていてもよいが、チャンネル領域下にボディ領域を有していてもよい。

【0021】

ゲート絶縁膜は、通常、メモリ素子に使用されるものであれば特に限定されるものではなく、例えば、シリコン酸化膜、シリコン窒化膜等の絶縁膜；酸化アルミニウム膜、酸化チタニウム膜、酸化タンタル膜、酸化ハフニウム膜などの高誘電体膜の単層膜又は積層膜を使用することができる。なかでも、シリコン酸化膜が好ましい。ゲート絶縁膜は、例えば、1～20 nm程度、好ましく1～6 nm

程度の膜厚とすることが適当である。ゲート絶縁膜は、ゲート電極直下にのみ形成されていてもよいし、ゲート電極よりも大きく（幅広で）形成されていてもよい。

【0022】

ゲート電極は、ゲート絶縁膜上に、通常メモリ素子に使用されるような形状又は下端部に凹部を有した形状で形成されている。なお、ゲート電極は、単層又は多層の導電膜によって分離されることなく、一体形状として形成されていることが好ましいが、単層又は多層の導電膜によって、分離した状態で配置していてもよい。また、ゲート電極は、側壁に側壁絶縁膜を有していてもよい。ゲート電極は、通常、メモリ素子に使用されるものであれば特に限定されるものではなく、導電膜、例えば、ポリシリコン：銅、アルミニウム等の金属：タングステン、チタン、タンタル等の高融点金属：高融点金属とのシリサイド等の単層膜又は積層膜等が挙げられる。ゲート電極の膜厚は、例えば50～400 nm程度の膜厚で形成することが適当である。なお、ゲート電極の下にはチャンネル領域が形成されている。

【0023】

なお、ゲート電極は、後述するメモリ機能体の側壁のみに形成されるか、あるいはメモリ機能体の上部を覆わないことが好ましい。このような配置により、コンタクトプラグをよりゲート電極と接近して配置することができるので、SWメモリ素子の微細化が容易となる。また、このような単純な配置を有するSWメモリ素子は製造が容易であり、歩留まりを向上することができる。

【0024】

メモリ機能体は、少なくとも電荷を保持する機能（以下「電荷保持機能」と記す）を有する。言換えると、電荷を蓄え、保持するか、電荷をトラップするか、電荷分極状態を保持する機能を有する。この機能は、例えば、電荷保持機能を有する膜又は領域をメモリ機能体が含むことにより発揮される。この機能を果たすものとしては、シリコン窒化物；シリコン；リン、ボロン等の不純物を含むシリケートガラス；シリコンカーバイド；アルミナ；ハフニウムオキサイド、ジルコニウムオキサイド、タンタルオキサイド等の高誘電体；酸化亜鉛；強誘電体；金

属等が挙げられる。したがって、メモリ機能体は、例えば、シリコン窒化膜を含む絶縁膜；導電膜もしくは半導体層を内部に含む絶縁膜；導電体もしくは半導体ドットを1つ以上含む絶縁膜；電界により内部電荷が分極し、その状態が保持される強誘電体膜を含む絶縁膜等の単層又は積層構造によって形成することができる。なかでも、シリコン窒化膜は、電荷をトラップする準位が多数存在するため大きなヒステリシス特性を得ることができ、また、電荷保持時間が長く、リークパスの発生による電荷漏れの問題が生じないため保持特性が良好であり、更に、LSIプロセスではごく標準的に用いられる材料であるため、好ましい。

【0025】

シリコン窒化膜などの電荷保持機能を有する膜を内部に含む絶縁膜をメモリ機能体として用いることにより、記憶保持に関する信頼性を高めることができる。シリコン窒化膜は絶縁体であるから、その一部に電荷のリークが生じた場合でも、直ちにシリコン窒化膜全体の電荷が失われることがないからである。また、複数のSWメモリ素子を配列する場合、SWメモリ素子間の距離が縮まって隣接するメモリ機能体が接触しても、メモリ機能体が導電体からなる場合のように夫々のメモリ機能体に記憶された情報が失われることがない。更に、コンタクトプラグをよりメモリ機能体と接近して配置することができ、場合によってはメモリ機能体と重なるように配置することができるので、SWメモリ素子の微細化が容易となる。

【0026】

なお、記憶保持に関する信頼性を高めるためには、電荷保持機能を有する膜は、必ずしも膜状である必要はなく、電荷保持機能を有する膜が絶縁膜中に離散的に存在することが好ましい。具体的には、電荷を保持しにくい材料、例えば、シリコン酸化物中にドット状に電荷保持機能を有する膜が分散していることが好ましい。

【0027】

電荷保持膜として導電膜又は半導体層を用いる場合には、電荷保持膜が半導体層（半導体基板、ウェル領域、ボディ領域又はソース／ドレイン領域もしくは拡散領域）又はゲート電極と直接接触しないように、絶縁膜を介して配置させるこ

とが好ましい。例えば、導電膜と絶縁膜との積層構造、絶縁膜内に導電膜をドット状等に分散させた構造、ゲートの側壁に形成された側壁絶縁膜内の一部に配置した構造等が挙げられる。

【0028】

導電膜又は半導体層を内部に含む絶縁膜をメモリ機能体として用いることにより、導電体又は半導体中への電荷の注入量を自由に制御でき、多値化しやすいため、好ましい。

【0029】

更に、導電体又は半導体ドットを1つ以上含む絶縁膜をメモリ機能体として用いることにより、電荷の直接トンネリングによる書込・消去が行ないやすくなり、低消費電力化することができ、好ましい。

【0030】

また、メモリ機能体として、電界により分極方向が変化するPZT、PLZT等の強誘電体膜を用いてもよい。この場合、分極により強誘電体膜の表面に実質的に電荷が発生し、その状態で保持される。従って、メモリ機能を有する膜外から電荷を供給され、電荷をトラップする膜と同様なヒステリシス特性を得ることができ、かつ、強誘電体膜の電荷保持は、膜外からの電荷注入の必要がなく、膜内の電荷の分極のみによってヒステリシス特性を得ることができるため、高速に書込・消去ができ、好ましい。

【0031】

なお、メモリ機能体を構成する絶縁膜としては、電荷を逃げにくくする領域又は電荷を逃げにくくする機能を有する膜であることが適当であり、この電荷を逃げにくくする機能を果たすものとしては、シリコン酸化膜等が挙げられる。

【0032】

メモリ機能体に含まれる電荷保持膜は、直接又は絶縁膜を介してゲート電極の両側に配置しており、また、直接、ゲート絶縁膜を介して半導体層（半導体基板、ウェル領域、ボディ領域又はソース／ドレイン領域もしくは拡散領域）上に配置している。ゲート電極の両側の電荷保持膜は、直接又は絶縁膜を介してゲート電極の側壁の全て又は一部を覆うように形成されていることが好ましい。応用例

としては、ゲート電極が下端部に凹部を有する場合には、直接又は絶縁膜を介して凹部を完全に又は凹部の一部を埋め込むように形成されていてもよい。

【0033】

拡散領域は、ソース／ドレイン領域として機能させることができ、半導体層又はウェル領域と逆導電型を有する。拡散領域と半導体層又はウェル領域との接合は、不純物濃度が急峻であることが好ましい。ホットエレクトロンやホットホールが低電圧で効率よく発生し、より低電圧で高速な動作が可能となるからである。拡散領域の接合深さは、特に限定されるものではなく、得ようとする半導体記憶装置の性能等に応じて、適宜調整することができる。なお、半導体基板としてSOI基板を用いる場合には、拡散領域は、表面半導体層の膜厚よりも小さな接合深さを有していてもよいが、表面半導体層の膜厚とほぼ同程度の接合深さを有していることが好ましい。

【0034】

拡散領域は、ゲート電極端とオーバーラップするように配置していてもよいし、ゲート電極端と一致するように配置していてもよいし、ゲート電極端に対してオフセットされて配置されていてもよい。特に、オフセットされている場合には、ゲート電極に電圧を印加したとき、電荷保持膜下のオフセット領域の反転しやすさが、メモリ機能体に蓄積された電荷量によって大きく変化し、メモリ効果が増大するとともに、短チャネル効果の低減をもたらすため、好ましい。ただし、あまりオフセットしすぎると、拡散領域（ソース／ドレイン）間の駆動電流が著しく小さくなるため、ゲート長方向に対して平行方向の電荷保持膜の厚さよりもオフセット量、つまり、ゲート長方向における一方のゲート電極端から近い方の拡散領域までの距離は短い方が好ましい。特に重要なことは、メモリ機能体中の電荷保持機能を有する膜又は領域の少なくとも一部が、拡散領域の一部とオーバーラップしていることである。本発明のSWメモリ素子の本質は、メモリ機能体の側壁部にのみ存在するゲート電極と拡散領域間の電圧差により、メモリ機能体を横切る電界によって記憶を書き換えることであるためである。

【0035】

拡散領域は、その一部が、チャネル領域表面、つまり、ゲート絶縁膜下面より

も高い位置に延設されていてもよい。この場合には、半導体基板内に形成された拡散領域上に、この拡散領域と一体化した導電膜が積層されて構成されていることが適当である。導電膜としては、例えば、ポリシリコン、アモルファスシリコン等の半導体、シリサイド、上述した金属、高融点金属等が挙げられる。なかでも、ポリシリコンが好ましい。ポリシリコンは、不純物拡散速度が半導体層に比べて非常に大きいために、半導体層内における拡散領域の接合深さを浅くするのが容易で、短チャネル効果の抑制がしやすいためである。なお、この場合には、この拡散領域の一部は、ゲート電極とともに、メモリ機能体の少なくとも一部を挟持するように配置することが好ましい。

【0036】

本発明のSWメモリ素子は、通常の半導体プロセスによって、例えば、ゲート電極の側壁に単層又は積層構造のサイドウォールスペーサを形成する方法と同様の方法によって形成することができる。具体的には、ゲート電極を形成した後、電荷保持機能を有する膜（以下「電荷保持膜」と記す）、電荷保持膜／絶縁膜、絶縁膜／電荷保持膜、絶縁膜／電荷保持膜／絶縁膜等の電荷保持膜を含む単層膜又は積層膜を形成し、適当な条件下でエッチバックしてこれらの膜をサイドウォールスペーサ状に残す方法；絶縁膜又は電荷保持膜を形成し、適当な条件下でエッチバックしてサイドウォールスペーサ状に残し、更に電荷保持膜又は絶縁膜を形成し、同様にエッチバックしてサイドウォールスペーサ状に残す方法；粒子状の電荷保持材料を分散させた絶縁膜材料を、ゲート電極を含む半導体層上に塗布又は堆積し、適当な条件下でエッチバックして、絶縁膜材料をサイドウォールスペーサ形状に残す方法；ゲート電極を形成した後、前記単層膜又は積層膜を形成し、マスクを用いてパターンニングする方法等が挙げられる。また、ゲート電極を形成する前に、電荷保持膜、電荷保持膜／絶縁膜、絶縁膜／電荷保持膜、絶縁膜／電荷保持膜／絶縁膜等を形成し、これらの膜のチャネル領域となる領域に開口を形成し、その上全面にゲート電極材料膜を形成し、このゲート電極材料膜を、開口を含み、開口よりも大きな形状でパターンニングする方法等が挙げられる。

【0037】

本発明のSWメモリ素子の形成方法の一例を説明する。まず、公知の手順で、

半導体基板上にゲート絶縁膜及びゲート電極を形成する。続いて、半導体基板上全面に、膜厚 0.8 ~ 20 nm、より好ましくは膜厚 3 ~ 10 nm のシリコン酸化膜を熱酸化法により形成又は CVD (Chemical Vapor Deposition) 法により堆積する。次に、上記シリコン酸化膜上全面に、膜厚 2 ~ 15 nm、より好ましくは 3 ~ 10 nm のシリコン窒化膜を CVD 法により堆積する。更に、上記シリコン窒化膜上全面に、20 ~ 70 nm のシリコン酸化膜を CVD 法により堆積する。

【0038】

続いて、異方性エッチングによりシリコン酸化膜／シリコン窒化膜／シリコン酸化膜をエッチングバックすることにより、記憶に最適なメモリ機能体を、ゲート電極の側壁に記憶素子サイドウォールスペーサ状に形成する。

【0039】

その後、ゲート電極及び記憶素子サイドウォールスペーサ状のメモリ機能体をマスクとしてイオン注入することにより、拡散層領域（ソース／ドレイン領域）を形成する。その後、公知の手順でシリサイド工程や上部配線工程を行なうことで SW メモリ素子を形成できる。

【0040】

本発明の SW メモリ素子を配列してメモリセルアレイを構成した場合、SW メモリ素子の最良の形態は、例えば、(1) 複数の SW メモリ素子のゲート電極が一体となってワード線の機能を有する、(2) 上記ワード線の両側にはメモリ機能体が形成されている、(3) メモリ機能体内で電荷を保持するのは絶縁体、特にシリコン窒化膜である、(4) メモリ機能体は ONO (Oxide Nitride Oxide) 膜で構成されており、シリコン窒化膜はゲート絶縁膜の表面と略平行な表面を有している、(5) メモリ機能体中のシリコン窒化膜はワード線及びチャネル領域とシリコン酸化膜で隔てられている、(6) メモリ機能体内のシリコン窒化膜と拡散領域とがオーバーラップしている、(7) ゲート絶縁膜の表面と略平行な表面を有するシリコン窒化膜とチャネル領域又は半導体層とを隔てる絶縁膜の厚さと、ゲート絶縁膜の厚さが異なる、(8) 1 個の SW メモリ素子の書込み及び消去動作は単一のワード線により行なう、(9) メモリ機能体の上には書込み及び消去動作を補助する

機能を有する電極（ワード線）がない、(10)メモリ機能体の直下で拡散領域と接する部分に拡散領域の導電型と反対導電型の不純物濃度が濃い領域を有する、という要件の全てを満たすものである。ただし、これらの要件の1つでも満たすものであればよい。

【0041】

上述した要件の特に好ましい組み合わせは、例えば、(3)メモリ機能体内で電荷を保持するのが絶縁体、特にシリコン窒化膜であり、(6)メモリ機能体内の絶縁膜（シリコン窒化膜）と拡散領域とがオーバーラップしており、(9)メモリ機能体の上には書込み及び消去動作を補助する機能を有する電極（ワード線）がない場合である。

【0042】

要件(3)及び要件(9)を満たす場合には、以下のように、非常に有用である。まず、ビット線コンタクトをワード線側壁のメモリ機能体と、より接近して配置することができ、又はSWメモリ素子間の距離が接近しても、複数のメモリ機能体が干渉せず、記憶情報を保持できる。したがって、SWメモリ素子の微細化が容易となる。なお、メモリ機能体内の電荷保持領域が導電体の場合、容量カップリングによりSWメモリ素子間が近づくにつれて電荷保持領域間で干渉が起き、記憶情報を保持できなくなる。

【0043】

また、メモリ機能体内の電荷保持領域が絶縁体（例えば、シリコン窒化膜）である場合、メモリセル毎にメモリ機能体を独立させる必要がなくなる。例えば、複数のメモリセルで共有される1本のワード線の両側に形成されたメモリ機能体は、メモリセル毎に分離する必要が無く、1本のワード線の両側に形成されたメモリ機能体を、ワード線を共有する複数のメモリセルで共有することが可能となる。そのため、メモリ機能体を分離するフォト、エッチング工程が不要となり、製造工程が簡略化される。更に、フォトリソグラフィ工程の位置合わせマージン、エッチングの膜減りマージンが不要となるため、メモリセル間のマージンを縮小できる。したがって、メモリ機能体内の電荷保持領域が導電体（例えば、多結晶シリコン膜）である場合と比較して、同じ微細加工レベルで形成しても、メモ

リセル占有面積を微細化することができる。なお、メモリ機能体内の電荷保持領域が導電体である場合、メモリ機能体をメモリセル毎に分離するフォト、エッチング工程が必要となり、フォトの位置合わせマージン、エッチングの膜減りマージンが必要となる。

【0044】

更に、メモリ機能体の上には書込み及び消去動作を補助する機能を有する電極がなく素子構造が単純であるから工程数が減少し、歩留まりを向上させることができる。したがって、論理回路やアナログ回路を構成するトランジスタとの混載を容易にすることができるとともに、安価な半導体記憶装置を得ることができる。

【0045】

また、要件(3)及び(9)を満たす場合であって、更に要件(6)を満たす場合には、より有用である。

【0046】

つまり、メモリ機能体内の電荷保持領域と拡散領域とをオーバーラップさせることにより、非常に低電圧で書込、消去が可能となる。具体的には、5 V以下という低電圧により、書込み及び消去動作を行なうことができる。この作用は、回路設計上においても非常に大きな効果である。フラッシュメモリのような高電圧をチップ内で作る必要がなくなるため、莫大な占有面積が必要となるチャージポンプ回路を省略又は規模を小さくすることが可能となる。特に、小規模容量のメモリを調整用としてロジックLSIに内蔵する場合、メモリ部の占有面積はメモリセルよりも、メモリセルを駆動する周辺回路の占有面積が支配的となるため、メモリセル用チャージポンプ回路を省略又は規模を小さくすることは、チップサイズを縮小させるためには最も効果的となる。

【0047】

一方、要件(3)を満たさない場合、つまり、メモリ機能体内で電荷を保持するのが導電体である場合は、要件(6)を満たさない、つまり、メモリ機能体内の導電体と拡散領域がオーバーラップしていない場合でも、書込み動作を行なうことができる。これは、メモリ機能体内の導電体がゲート電極との容量カップリング

により書込み補助を行なうからである。

【0048】

また、要件(9)を満たさない場合、つまり、メモリ機能体の上に書込み及び消去動作を補助する機能を有する電極がある場合は、要件(6)を満たさない、つまり、メモリ機能体内の絶縁体と拡散領域とがオーバーラップしていない場合でも、書込み動作を行なうことができる。

【0049】


本発明のSWメモリ素子は、その一方又は両方に、トランジスタが直列に接続していてもよいし、ロジックトランジスタと、同一のチップ上に混載されていてもよい。このような場合には、本発明の半導体装置、特にSWメモリ素子を、トランジスタ及びロジックトランジスタなどの通常の標準トランジスタの形成プロセスと非常に親和性が高い工程で形成することができるため、同時に形成することができる。したがって、SWメモリ素子とトランジスタ又はロジックトランジスタとを混載するプロセスは非常に簡便なものとなり、安価な混載装置を得ることができる。

【0050】

本発明のSWメモリ素子は、1つのメモリ機能体に2値又はそれ以上の情報を記憶させることができ、これにより、4値又はそれ以上の情報を記憶するメモリ素子として機能させることができる。なお、SWメモリ素子は、2値の情報を記憶させるのみでもよい。また、SWメモリ素子を、メモリ機能体による可変抵抗効果により、選択トランジスタとメモリトランジスタとの機能を兼ね備えたメモリセルとしても機能させることができる。

【0051】

本発明のSWメモリ素子は、論理素子又は論理回路等と組み合わせることにより、パーソナルコンピュータ、ノート、ラップトップ、パーソナル・アシスタント／発信機、ミニコンピュータ、ワークステーション、メインフレーム、マルチプロセッサ・コンピュータ又は他のすべての型のコンピュータシステム等のデータ処理システム；CPU、メモリ、データ記憶装置等のデータ処理システムを構成する電子部品；電話、PHS、モデム、ルータ等の通信機器；ディスプレイ



パネル、プロジェクタ等の画像表示機器；プリンタ、スキャナ、複写機等の事務機器；ビデオカメラ、デジタルカメラ等の撮像機器；ゲーム機、音楽プレーヤ等の娯楽機器；携帯情報端末、時計、電子辞書等の情報機器；カーナビゲーションシステム、カーオーディオ等の車載機器；動画、静止画、音楽等の情報を記録、再生するためのAV機器；洗濯機、電子レンジ、冷蔵庫、炊飯器、食器洗い機、掃除機、エアコン等の電化製品；マッサージ器、体重計、血圧計等の健康管理機器；ICカード、メモリカード等の携帯型記憶装置等の電子機器への幅広い応用が可能である。特に、携帯電話、携帯情報端末、ICカード、メモリカード、携帯型コンピュータ、携帯型ゲーム機、デジタルカメラ、ポータブル動画プレーヤ、ポータブル音楽プレーヤ、電子辞書、時計等の携帯電子機器への応用が有効である。なお、本発明のSWメモリ素子は、電子機器の制御回路又はデータ記憶回路の少なくとも一部として内蔵されるか、あるいは必要に応じて着脱可能に組み込んでもよい。

【0052】

以下に、本発明の実施の形態を、図面に基づいて詳細に説明する。

（実施の形態1）

この実施の形態の半導体記憶装置は、図1に示すような、SWメモリ素子1を備える。

【0053】

SWメモリ素子1は、半導体基板上101表面に形成されたP型ウェル領域102上にゲート絶縁膜103を介してゲート電極104が形成されている。ゲート電極104の上面及び側面には、電荷を保持するトラップ準位を有し、電荷保持膜となるシリコン窒化膜109が配置されており、シリコン窒化膜109のなかでゲート電極104の両側壁部分が、それぞれ実際に電荷を保持するメモリ機能部105a、105bとなっている。ここで、メモリ機能部とは、メモリ機能体又は電荷保持膜のうちで書換え動作により実際に電荷が蓄積される部分を指す。ゲート電極104の両側であってP型ウェル領域102内に、それぞれソース領域又はドレイン領域として機能するN型の拡散領域107a、107bが形成されている。拡散領域107a、107bは、オフセット構造を有している。す

なわち、拡散領域 107 a、107 b はゲート電極下の領域 121 には達しておらず、電荷保持膜下のオフセット領域 120 がチャネル領域の一部を構成している。

【0054】

なお、実質的に電荷を保持するメモリ機能部 105 a、105 b は、ゲート電極 104 の両側壁部分である。したがって、この部分に対応する領域にのみに、シリコン窒化膜 109 が形成されていればよい（図 2（a）参照）。また、メモリ機能部 105 a、105 b は、ナノメートルサイズの導電体又は半導体からなる微粒子 111 が絶縁膜 112 中に散点状に分布する構造を有していてもよい（図 2（b）参照）。このとき、微粒子 111 が 1 nm 未満であると、量子効果が大きすぎるためにドットに電荷がトンネルするのが困難になり、10 nm を超えると室温では顕著な量子効果が現れなくなる。したがって、微粒子 111 の直径は 1 nm～10 nm の範囲にあることが好ましい。更に、電荷保持膜となるシリコン窒化膜 109 は、ゲート電極の側面においてサイドウォールスペーサ状に形成されていてもよい（図 3 参照）。

【0055】

SWメモリ素子の書込み動作原理を、図 3 及び図 4 を用いて説明する。なお、ここではメモリ機能体 131 a、131 b 全体が電荷を保持する機能を有する場合について説明する。また、書込みとは、SWメモリ素子が N チャネル型である場合にはメモリ機能体 131 a、131 b に電子を注入することを指す。以後、SWメモリ素子は N チャネル型であるとして説明する。

【0056】

第 2 のメモリ機能体 131 b に電子を注入する（書込む）ためには、図 3 に示すように、N 型の第 1 の拡散領域 107 a をソース電極に、N 型の第 2 の拡散領域 107 b をドレイン電極とする。例えば、第 1 の拡散領域 107 a 及び P 型ウェル領域 102 に 0 V、第 2 の拡散領域 107 b に +5 V、ゲート電極 104 に +5 V を印加する。このような電圧条件によれば、反転層 226 が、第 1 の拡散領域 107 a（ソース電極）から伸びるが、第 2 の拡散領域 107 b（ドレイン電極）に達することなく、ピンチオフ点が発生する。電子は、ピンチオフ点から

第2の拡散領域107b（ドレイン電極）まで高電界により加速され、いわゆるホットエレクトロン（高エネルギーの伝導電子）となる。このホットエレクトロンが第2のメモリ機能体131bに注入されることにより書込みが行なわれる。なお、第1のメモリ機能体131a近傍では、ホットエレクトロンが発生しないため、書込みは行なわれない。

【0057】

一方、第1のメモリ機能体131aに電子を注入する（書込む）ためには、図4に示すように、第2の拡散領域107bをソース電極に、第1の拡散領域107aをドレイン電極とする。例えば、第2の拡散領域107b及びP型ウェル領域102に0V、第1の拡散領域107aに+5V、ゲート電極104に+5Vを印加する。このように、第2のメモリ機能体131bに電子を注入する場合とは、ソース／ドレイン領域を入れ替えることにより、第1のメモリ機能体131aに電子を注入して、書込みを行なうことができる。

【0058】

次に、SWメモリ素子の消去動作原理を図5及び図6を用いて説明する。

【0059】

第1のメモリ機能体131aに記憶された情報を消去する第1の方法では、図5に示すように、第1の拡散領域107aに正電圧（例えば、+5V）、P型ウェル領域102に0Vを印加して、第1の拡散領域107aとP型ウェル領域102とのPN接合に逆方向バイアスをかけ、更にゲート電極104に負電圧（例えば、-5V）を印加する。このとき、PN接合のうちゲート電極104付近では、負電圧が印加されたゲート電極の影響により、特にポテンシャルの勾配が急になる。そのため、バンド間トンネルによりPN接合のP型ウェル領域102側にホットホール（高エネルギーの正孔）が発生する。このホットホールが負の電位をもつゲート電極104方向に引きこまれ、その結果、第1のメモリ機能体131aにホール注入が行なわれる。このようにして、第1のメモリ機能体131aの消去が行なわれる。このとき第2の拡散領域107bには0Vを印加すればよい。

【0060】



第2のメモリ機能体131bに記憶された情報を消去する場合は、上記において第1の拡散領域と第2の拡散領域との電位を入れ替えればよい。

【0061】

第1のメモリ機能体131aに記憶された情報を消去する第2の方法では、図6に示すように、第1の拡散領域107aに正電圧（例えば、+4V）、第2の拡散領域107bに0V、ゲート電極104に負電圧（例えば、-4V）、P型ウェル領域102に正電圧（例えば、+0.8V）を印加する。この際、P型ウェル領域102と第2の拡散領域107bとの間に順方向電圧が印加され、P型ウェル領域102に電子が注入される。注入された電子は、P型ウェル領域102と第1の拡散領域107aとのPN接合まで拡散し、そこで強い電界により加速されてホットエレクトロンとなる。このホットエレクトロンは、PN接合において、電子-ホール対を発生させる。すなわち、P型ウェル領域102と第2の拡散領域107bとの間に順方向電圧を印加することにより、P型ウェル領域102に注入された電子がトリガーとなって、反対側に位置するPN接合でホットホールが発生する。PN接合で発生したホットホールは負の電位をもつゲート電極104方向に引きこまれ、その結果、第1のメモリ機能体131aに正孔注入が行なわれる。

【0062】

この方法によれば、P型ウェル領域と第1の拡散領域107aとのPN接合において、バンド間トンネルによりホットホールが発生するに足りない電圧しか印加されない場合においても、第2の拡散領域107bから注入された電子は、PN接合で電子-正孔対が発生するトリガーとなり、ホットホールを発生させることができる。したがって、消去動作時の電圧を低下させることができる。特に、オフセット領域120（図1参照）が存在する場合は、負の電位が印加されたゲート電極によりPN接合が急峻となる効果が少ない。そのため、バンド間トンネルによるホットホールの発生が難しいが、第2の方法はその欠点を補い、低電圧で消去動作を実現することができる。

【0063】

なお、第1のメモリ機能体131aに記憶された情報を消去する場合、第1の

消去方法では、第1の拡散領域107aに+5Vを印加しなければならなかったが、第2の消去方法では、+4Vで足りた。このように、第2の方法によれば、消去時の電圧を低減することができるので、消費電力が低減され、ホットキャリアによるSWメモリ素子の劣化を抑制することができる。

【0064】

また、いずれの消去方法によっても、SWメモリ素子は過消去が起きにくい。ここで過消去とは、メモリ機能体に蓄積された正孔の量が増大するにつれ、飽和することなく閾値が低下していく現象である。フラッシュメモリを代表とするEEPROMでは大きな問題となっており、特に閾値が負になった場合にメモリセルの選択が不可能になるという致命的な動作不良を生じる。一方、本発明のSWメモリ素子では、メモリ機能体に大量の正孔が蓄積された場合においても、メモリ機能体下に電子が誘起されるのみで、ゲート絶縁膜下のチャネル領域のポテンシャルにはほとんど影響を与えない。消去時の閾値はゲート絶縁膜下のポテンシャルにより決まるので、過消去が起きにくくなる。

【0065】

更に、SWメモリ素子の読み出し動作原理を、図7を用いて説明する。

第1のメモリ機能体131aに記憶された情報を読み出す場合、第1の拡散領域107aをソース電極に、第2の拡散領域107bをドレイン電極とし、トランジスタを動作させる。例えば、第1の拡散領域107a及びP型ウェル領域102に0V、第2の拡散領域107bに+1.8V、ゲート電極104に+2Vを印加する。この際、第1のメモリ機能体131aに電子が蓄積していない場合には、ドレイン電流が流れやすい。一方、第1のメモリ機能体131aに電子が蓄積している場合は、第1のメモリ機能体131a近傍で反転層が形成されにくいので、ドレイン電流は流れにくい。したがって、ドレイン電流を検出することにより、第1のメモリ機能体131aの記憶情報を読み出すことができる。特にピンチオフ動作させるような電圧を与えて読み出す場合、第2のメモリ機能体131aにおける電荷蓄積の状態について、131bにおける電荷蓄積の有無に影響されることなく、より高精度に判定することが可能となる。

【0066】

第2のメモリ機能体131bに記憶された情報を読み出す場合、第2の拡散領域107bをソース電極に、第1の拡散領域107aをドレイン電極とし、トランジスタを動作させる。例えば、第2の拡散領域107b及びP型ウェル領域102に0V、第1の拡散領域107aに+1.8V、ゲート電極104に+2Vを印加すればよい。このように、第1のメモリ機能体131aに記憶された情報を読み出す場合とは、ソース／ドレイン領域を入れ替えることにより、第2のメモリ機能体131bに記憶された情報の読出しを行なうことができる。

【0067】

なお、ゲート電極104で覆われないチャネル領域（オフセット領域120）が残されている場合、ゲート電極104で覆われないチャネル領域においては、メモリ機能体131a、131bの余剰電荷の有無によって反転層が消失又は形成され、その結果、大きなヒステリシス（閾値の変化）が得られる。ただし、オフセット領域120の幅があまり大きいと、ドレイン電流が大きく減少し、読出し速度が大幅に遅くなる。したがって、十分なヒステリシスと読出し速度が得られるように、オフセット領域120の幅を決定することが好ましい。

【0068】

拡散領域107a、107bがゲート電極104端に達している場合、つまり、拡散領域107a、107bとゲート電極104とがオーバーラップしている場合であっても、書込み動作によりトランジスタの閾値はほとんど変わらなかったが、ソース／ドレイン端での寄生抵抗が大きく変わり、ドレイン電流は大きく減少（1桁以上）する。したがって、ドレイン電流の検出により読出しが可能であり、メモリとしての機能を得ることができる。ただし、より大きなメモリヒステリシス効果を必要とする場合、拡散領域107a、107bとゲート電極104とがオーバーラップしていない（オフセット領域120が存在する）ほうが好ましい。

【0069】

以上の動作方法により、1トランジスタ当たり選択的に2ビットの書込み及び消去が可能となる。また、SWメモリ素子のゲート電極104にワード線WLを、第1の拡散領域107aに第1のビット線BL1を、第2の拡散領域107bに

第2のビット線BL2をそれぞれ接続し、SWメモリ素子を配列することにより、メモリセルアレイを構成することができる。

【0070】

また、上述した動作方法では、ソース電極とドレイン電極を入れ替えることによって1トランジスタ当り2ビットの書込み及び消去をさせているが、ソース電極とドレイン電極とを固定して1ビットメモリとして動作させてもよい。この場合ソース／ドレイン領域の一方を共通固定電圧とすることが可能となり、ソース／ドレイン領域に接続されるビット線の本数を半減することができる。

【0071】

以上の説明から明らかなように、本発明のSWメモリ素子では、メモリ機能体がゲート絶縁膜と独立して形成され、ゲート電極の両側に形成されているため、2ビット動作が可能である。また、各メモリ機能体はゲート電極により分離されているので、書換え時の干渉が効果的に抑制される。更に、ゲート絶縁膜は、メモリ機能体とは分離されているので、薄膜化して短チャネル効果を抑制することができる。したがってSWメモリ素子の微細化が容易となる。

【0072】

(実施の形態2)

この実施の形態のSWメモリ素子は、図8に示すように、メモリ機能体261、262が電荷を保持する領域（電荷を蓄える領域であって、電荷を保持する機能を有する膜であってもよい）と、電荷を逃げにくくする領域（電荷を逃げにくくする機能を有する膜であってもよい）とから構成される以外は、図1のSWメモリ素子1と実質的に同様の構成である。

【0073】

メモリ機能体は、メモリの保持特性を向上させる観点から、電荷を保持する機能を有する電荷保持膜と絶縁膜とを含んでいるのが好ましい。この実施の形態では、電荷保持膜として電荷をトラップする準位を有するシリコン窒化膜242、絶縁膜として電荷保持膜に蓄積された電荷の散逸を防ぐ働きのあるシリコン酸化膜241、243を用いている。メモリ機能体が電荷保持膜と絶縁膜とを含むことにより電荷の散逸を防いで保持特性を向上させることができる。また、メモリ

機能体が電荷保持膜のみで構成される場合に比べて電荷保持膜の体積を適度に小さくすることができ、電荷保持膜内での電荷の移動を制限して、記憶保持中に電荷移動による特性変化が起こるのを抑制することができる。更に、シリコン窒化膜 242 がシリコン酸化膜 241、243 で挟まれた構造とすることにより、書換え動作時の電荷注入効率が高くなり、より高速な動作が可能となる。なお、この SW メモリ素子においては、シリコン窒化膜 242 を強誘電体で置き換えてもよい。

【0074】

また、メモリ機能体 261、262 における電荷を保持する領域（シリコン窒化膜 242）は、拡散領域 212、213 とそれぞれオーバーラップしている。ここで、オーバーラップするとは、拡散領域 212、213 の少なくとも一部の領域上に、電荷を保持する領域（シリコン窒化膜 242）の少なくとも一部が存在することを意味する。なお、211 は半導体基板、214 はゲート絶縁膜、217 はゲート電極、271 はゲート電極 217 と拡散領域 212、213 とのオフセット領域である。図示しないが、ゲート絶縁膜 214 下であって半導体基板 211 の最表面はチャンネル領域となる。

【0075】

メモリ機能体 261、262 における電荷を保持する領域であるシリコン窒化膜 242 と拡散領域 212、213 とがオーバーラップすることによる効果を説明する。

【0076】

図 9 に示したように、メモリ機能体 262 周辺部において、ゲート電極 217 と拡散領域 213 とのオフセット量を $W1$ とし、ゲート電極のチャンネル長方向の切断面におけるメモリ機能体 262 の幅を $W2$ とすると、メモリ機能体 262 と拡散領域 213 とのオーバーラップ量は、 $W2 - W1$ で表される。ここで重要なことは、メモリ機能体 262 のうちシリコン窒化膜 242 で構成されたメモリ機能体 262 が、拡散領域 213 とオーバーラップする、つまり、 $W2 > W1$ なる関係を満たすことである。

【0077】

図9では、メモリ機能体262のうち、シリコン窒化膜242のゲート電極217と離れた側の端が、ゲート電極217から離れた側のメモリ機能体262の端と一致しているため、メモリ機能体262の幅をW2として定義した。

【0078】

なお、図10に示すように、メモリ機能体262aのうちシリコン窒化膜242aのゲート電極と離れた側の端が、ゲート電極から離れた側のメモリ機能体262aの端と一致していない場合は、W2をゲート電極端からシリコン窒化膜142aのゲート電極と遠い側の端までと定義すればよい。

【0079】

図11は、図9のSWメモリ素子の構造において、メモリ機能体262の幅W2を100nmに固定し、オフセット量W1を変化させたときのドレイン電流I_dを示している。ここで、ドレイン電流は、メモリ機能体262を消去状態（ホールが蓄積されている）とし、拡散領域212、213をそれぞれソース電極、ドレイン電極として、デバイスシミュレーションにより求めた。

図11から明らかなように、W1が100nm以上（すなわち、シリコン窒化膜242と拡散領域213とがオーバーラップしない）では、ドレイン電流が急速に減少している。ドレイン電流値は、読出し動作速度にほぼ比例するので、W1が100nm以上ではメモリの性能は急速に劣化する。一方、シリコン窒化膜242と拡散領域213とがオーバーラップする範囲においては、ドレイン電流の減少は緩やかである。したがって、量産製造においてばらつきも考慮した場合、電荷を保持する機能を有する膜であるシリコン窒化膜242の少なくとも一部とソース／ドレイン領域とがオーバーラップしなければ、事実上メモリ機能を得ることが困難である。

【0080】

上述したデバイスシミュレーションの結果を踏まえて、W2を100nm固定とし、W1を設計値として60nm及び100nmとして、メモリセルアレイを作製した。W1が60nmの場合、シリコン窒化膜142と拡散領域212、213とは設計値として40nmオーバーラップし、W1が100nmの場合、設計値としてオーバーラップしない。これらのメモリセルアレイの読出し時間を測

定した結果、ばらつきを考慮したワーストケースで比較して、 $W1$ を設計値として 60 nm とした場合の方が、読出しアクセス時間で 100 倍高速であった。実用上、読み出しアクセス時間は 1 ビットあたり 100 ナノ秒以下であることが好ましいが、 $W1 = W2$ では、この条件を到底達成できない。また、製造ばらつきまで考慮した場合、 $(W2 - W1) > 10\text{ nm}$ であることがより好ましい。

【0081】

メモリ機能体 261 (領域 281) に記憶された情報の読み出しは、実施の形態 1 と同様に、拡散領域 212 をソース電極とし、拡散領域 213 をドレイン領域としてチャンネル領域中のドレイン領域に近い側にピンチオフ点を形成するのが好ましい。すなわち、 2 つのメモリ機能体のうち一方に記憶された情報を読み出す時に、ピンチオフ点をチャンネル領域内であって、他方のメモリ機能体に近い領域に形成させるのが好ましい。これにより、メモリ機能体 262 の記憶状況の如何にかかわらず、メモリ機能体 261 の記憶情報を感度よく検出することができ、 2 ビット動作を可能にする大きな要因となる。

【0082】

一方、 2 つのメモリ機能体の片側のみに情報を記憶させる場合又は 2 つのメモリ機能体を同じ記憶状態にして使用する場合には、読出し時に必ずしもピンチオフ点を形成しなくてもよい。

【0083】

なお、図 8 には図示していないが、半導体基板 211 の表面にウェル領域 (N チャンネル素子の場合は P 型ウェル) を形成することが好ましい。ウェル領域を形成することにより、チャンネル領域の不純物濃度をメモリ動作 (書換え動作及び読出し動作) に最適にしつつ、その他の電気特性 (耐圧、接合容量、短チャンネル効果) を制御するのが容易になる。

【0084】

また、メモリ機能体は、ゲート絶縁膜表面と略平行に配置される電荷保持膜を含むことが好ましい。いいかえると、メモリ機能体における電荷保持膜の上面が、ゲート絶縁膜上面から等しい距離に位置するように配置されることが好ましい。具体的には、図 12 に示したように、メモリ機能体 262 の電荷保持膜である

シリコン窒化膜 242a が、ゲート絶縁膜 214 表面と略平行な面を有している。言い換えると、シリコン窒化膜 242a は、ゲート絶縁膜 214 表面に対応する高さから、均一な高さに形成されることが好ましい。

【0085】

メモリ機能体 262 中に、ゲート絶縁膜 214 表面と略平行なシリコン窒化膜 242a があることにより、シリコン窒化膜 242a に蓄積された電荷の多寡によりオフセット領域 271 での反転層の形成されやすさを効果的に制御することができ、ひいてはメモリ効果を大きくすることができる。また、シリコン窒化膜 242a をゲート絶縁膜 214 の表面と略平行とすることにより、オフセット量 (W1) がばらついた場合でもメモリ効果の変化を比較的小さく保つことができ、メモリ効果のばらつきを抑制することができる。しかも、シリコン窒化膜 242a 上部方向への電荷の移動が抑制され、記憶保持中に電荷移動による特性変化が起こるのを抑制することができる。

【0086】

更に、メモリ機能体 262 は、ゲート絶縁膜 214 の表面と略平行なシリコン窒化膜 242a とチャネル領域（又はウェル領域）とを隔てる絶縁膜（例えば、シリコン酸化膜 244 のうちオフセット領域 271 上の部分）を含むことが好ましい。この絶縁膜により、電荷保持膜に蓄積された電荷の散逸が抑制され、更に保持特性のよい SWメモリ素子を得ることができる。

【0087】

なお、シリコン窒化膜 242a の膜厚を制御すると共に、シリコン窒化膜 242a 下の絶縁膜（シリコン酸化膜 244 のうちオフセット領域 271 上の部分）の膜厚を一定に制御することにより、半導体基板表面から電荷保持膜中に蓄えられる電荷までの距離を概ね一定に保つことが可能となる。つまり、半導体基板表面から電荷保持膜中に蓄えられる電荷までの距離を、シリコン窒化膜 242a 下の絶縁膜の最小膜厚値から、シリコン窒化膜 242a 下の絶縁膜の最大膜厚値とシリコン窒化膜 242a の最大膜厚値との和までの間に制御することができる。これにより、シリコン窒化膜 242a に蓄えられた電荷により発生する電気力線の密度を概ね制御することが可能となり、SWメモリ素子のメモリ効果の大きさ

ばらつきを非常に小さくすることが可能となる。

【0088】

(実施の形態3)

この実施の形態のメモリ機能体262は、電荷保持膜であるシリコン窒化膜242が、図13に示すように、略均一な膜厚で、ゲート絶縁膜214の表面と略平行に配置され(領域281)、更に、ゲート電極217側面と略平行に配置された(領域282)形状を有している。

【0089】

ゲート電極217に正電圧が印加された場合には、メモリ機能体262中での電気力線283は矢印で示すように、シリコン窒化膜242を2回(領域282及び領域281部分)通過する。なお、ゲート電極217に負電圧が印加された時は電気力線の向きは反対側となる。ここで、シリコン窒化膜242の比誘電率は約6であり、シリコン酸化膜241、243の比誘電率は約4である。したがって、電荷保持膜の領域281のみが存在する場合よりも、電気力線283方向におけるメモリ機能体262の実効的な比誘電率が大きくなり、電気力線の両端での電位差をより小さくすることができる。すなわち、ゲート電極217に印加された電圧の多くの部分が、オフセット領域271における電界を強くするために使われることになる。

【0090】

書換え動作時に電荷がシリコン窒化膜242に注入されるのは、発生した電荷がオフセット領域271における電界により引き込まれるためである。したがって、矢印282で示される電荷保持膜を含むことにより、書換え動作時にメモリ機能体262に注入される電荷が増加し、書換え速度が増大する。

【0091】

なお、シリコン酸化膜243の部分もシリコン窒化膜であった場合、つまり、電荷保持膜がゲート絶縁膜214の表面に対応する高さに対して均一でない場合、シリコン窒化膜の上方向への電荷の移動が顕著になって、保持特性が悪化する。

【0092】

電荷保持膜は、シリコン窒化膜に代えて、比誘電率が非常に大きい酸化ハフニウムなどの高誘電体により形成されることがより好ましい。

【0093】

更に、メモリ機能体は、ゲート絶縁膜表面と略平行な電荷保持膜とチャネル領域（又はウェル領域）とを隔てる絶縁膜（シリコン酸化膜 241 のうちオフセット領域 271 上の部分）を更に含むことが好ましい。この絶縁膜により、電荷保持膜に蓄積された電荷の散逸が抑制され、更に保持特性を向上させることができる。

【0094】

また、メモリ機能体は、ゲート電極と、ゲート電極側面と略平行な向きに延びた電荷保持膜とを隔てる絶縁膜（シリコン酸化膜 241 のうちゲート電極 217 に接した部分）を更に含むことが好ましい。この絶縁膜により、ゲート電極から電荷保持膜へ電荷が注入されて電気的特性が変化することを防止し、SWメモリ素子の信頼性を向上させることができる。

【0095】

更に、実施の形態 2 と同様に、シリコン窒化膜 242 下の絶縁膜（シリコン酸化膜 241 のうちオフセット領域 271 上の部分）の膜厚を一定に制御すること、更にゲート電極側面上に配置する絶縁膜（シリコン酸化膜 241 のうちゲート電極 217 に接した部分）の膜厚を一定に制御することが好ましい。これにより、シリコン窒化膜 242 に蓄えられた電荷により発生する電気力線の密度を概ね制御することができるとともに、電荷リークを防止することができる。

【0096】

（実施の形態 4）

この実施の形態では、SWメモリ素子のゲート電極、メモリ機能体及びソース／ドレイン領域間距離の最適化について説明する。

【0097】

図 14 に示したように、A はチャネル長方向の切断面におけるゲート電極長、B はソース／ドレイン領域間の距離（チャネル長）、C は一方のメモリ機能体の端から他方のメモリ機能体の端までの距離、つまり、チャネル長方向の切断面に

おける一方のメモリ機能体内の電荷を保持する機能を有する膜の端（ゲート電極と離れている側）から他方のメモリ機能体内の電荷を保持する機能を有する膜の端（ゲート電極と離れている側）までの距離を示す。

【0098】

このようなSWメモリ素子では、 $B < C$ であることが好ましい。このような関係を満たすことにより、チャネル領域のうちゲート電極217下の部分と拡散領域212、213との間にはオフセット領域271が存在することとなる。これにより、メモリ機能体261、262（シリコン窒化膜242）に蓄積された電荷により、オフセット領域271の全領域において、反転の容易性が効果的に変動する。したがって、メモリ効果が増大し、特に読出し動作の高速化が実現する。

【0099】

また、ゲート電極217と拡散領域212、213がオフセットしている場合、つまり、 $A < B$ が成立する場合には、ゲート電極に電圧を印加したときのオフセット領域の反転のしやすさがメモリ機能体に蓄積された電荷量によって大きく変化し、メモリ効果が増大するとともに、短チャネル効果を低減することができる。

【0100】

ただし、メモリ効果が発現する限りにおいては、必ずしもオフセット領域271が存在しなくてもよい。オフセット領域271が存在しない場合においても、拡散領域212、213の不純物濃度が十分に薄ければ、メモリ機能体261、262（シリコン窒化膜242）においてメモリ効果が発現し得る。

【0101】

このようなことから、 $A < B < C$ であるのが最も好ましい。

【0102】

（実施の形態5）

この実施の形態におけるSWメモリ素子は、図15に示すように、実施の形態2における半導体基板をSOI基板とする以外は、実質的に同様の構成を有する。

【0103】

このSWメモリ素子は、半導体基板286上に埋め込み酸化膜288が形成され、更にその上にSOI層が形成されている。SOI層内には拡散領域212、213が形成され、それ以外の領域はボディ領域287となっている。

【0104】

このSWメモリ素子によっても、実施の形態2のSWメモリ素子と同様の作用効果を奏する。更に、拡散領域212、213とボディ領域287との接合容量を著しく小さくすることができるので、素子の高速化や低消費電力化が可能となる。

【0105】

(実施の形態6)

この実施の形態のSWメモリ素子は、図16に示すように、N型の拡散領域212、213のチャネル側に隣接して、P型高濃度領域291を追加した以外は、実施の形態2のSWメモリ素子と実質的に同様の構成を有する。

【0106】

すなわち、P型高濃度領域291におけるP型を与える不純物（例えばボロン）濃度が、領域292におけるP型を与える不純物濃度より高い。P型高濃度領域291におけるP型の不純物濃度は、例えば、 $5 \times 10^{17} \sim 1 \times 10^{19} \text{ cm}^{-3}$ 程度が適当である。また、領域292のP型の不純物濃度は、例えば、 $5 \times 10^{16} \sim 1 \times 10^{18} \text{ cm}^{-3}$ とすることができる。

【0107】

このように、P型高濃度領域291を設けることにより、拡散領域212、213と半導体基板211との接合が、メモリ機能体261、262の直下で急峻となる。そのため、書込み及び消去動作時にホットキャリアが発生し易くなり、書込み動作及び消去動作の電圧を低下させ、あるいは書込み動作及び消去動作を高速にすることが可能となる。更に、領域292の不純物濃度は比較的薄いので、メモリが消去状態にあるときの閾値が低く、ドレイン電流は大きくなる。そのため、読出し速度が向上する。したがって、書換え電圧が低く又は書換え速度が高速で、かつ、読出し速度が高速なSWメモリ素子を得ることができる。

【0108】

また、図16において、ソース／ドレイン領域近傍であってメモリ機能体の下（すなわち、ゲート電極の直下ではない）において、P型高濃度領域291を設けることにより、トランジスタ全体としての閾値は著しく上昇する。この上昇の程度は、P型高濃度領域291がゲート電極の直下にある場合に比べて著しく大きい。メモリ機能体に書き込み電荷（トランジスタがNチャネル型の場合は電子）が蓄積した場合は、この差がいっそう大きくなる。一方、メモリ機能体に十分な消去電荷（トランジスタがNチャネル型の場合は正孔）が蓄積された場合は、トランジスタ全体としての閾値は、ゲート電極下のチャネル領域（領域292）の不純物濃度で決まる閾値まで低下する。すなわち、消去時の閾値は、P型高濃度領域291の不純物濃度には依存せず、一方で、書き込み時の閾値は非常に大きな影響を受ける。よって、P型高濃度領域291をメモリ機能体の下であってソース／ドレイン領域近傍に配置することにより、書き込み時の閾値のみが非常に大きく変動し、メモリ効果（書き込み時と消去時での閾値の差）を著しく増大させることができる。

【0109】

（実施の形態7）

この実施の形態のSWメモリ素子は、図17に示すように、電荷保持膜（シリコン窒化膜242）とチャネル領域又はウェル領域とを隔てる絶縁膜の厚さ（ T_1 ）が、ゲート絶縁膜の厚さ（ T_2 ）よりも薄いこと以外は、実施の形態2と実質的に同様の構成を有する。

【0110】

ゲート絶縁膜214は、メモリの書換え動作時における耐圧の要請から、その厚さ T_2 には下限値が存在する。しかし、絶縁膜の厚さ T_1 は、耐圧の要請にかかわらず、 T_2 よりも薄くすることが可能である。

【0111】

このSWメモリ素子において、上述のように T_1 に対する設計の自由度が高いのは以下の理由による。

【0112】

つまり、このSWメモリ素子においては、電荷保持膜とチャネル領域又はウェル領域とを隔てる絶縁膜は、ゲート電極とチャネル領域又はウェル領域とに挟まれていない。そのため、電荷保持膜とチャネル領域又はウェル領域とを隔てる絶縁膜には、ゲート電極とチャネル領域又はウェル領域間に働く高電界が直接作用せず、ゲート電極から横方向に広がる比較的弱い電界が作用する。そのため、ゲート絶縁膜に対する耐压の要請にかかわらず、T1をT2より薄くすることが可能になる。

T1を薄くすることにより、メモリ機能体への電荷の注入が容易になり、書込み動作及び消去動作の電圧を低下させ、又は書込み動作及び消去動作を高速にすることが可能となり、また、シリコン窒化膜242に電荷が蓄積された時にチャネル領域又はウェル領域に誘起される電荷量が増えるため、メモリ効果を増大させることができる。

【0113】

ところで、メモリ機能体中での電気力線は、図23の矢印284で示すように、シリコン窒化膜242を通過しない短いものもある。このような短い電気力線上では比較的電界強度が大きいため、この電気力線に沿った電界は書換え動作時においては大きな役割を果たしている。T1を薄くすることによりシリコン窒化膜242が図の下側に移動し、矢印283で示す電気力線がシリコン窒化膜を通過するようになる。それゆえ、電気力線284に沿ったメモリ機能体中の実効的な比誘電率が大きくなり、電気力線の両端での電位差をより小さくすることができる。したがって、ゲート電極217に印加された電圧の多くの部分が、オフセット領域における電界を強くするために使われ、書込み動作及び消去動作が高速になる。

【0114】

これに対して、例えば、フラッシュメモリに代表されるEEPROMにおいては、フローティングゲートとチャネル領域又はウェル領域とを隔てる絶縁膜は、ゲート電極（コントロールゲート）とチャネル領域又はウェル領域に挟まれているので、ゲート電極からの高電界が直接作用する。それゆえ、EEPROMにおいては、フローティングゲートとチャネル領域又はウェル領域とを隔てる絶縁膜

の厚さが制限され、SWメモリ素子の機能の最適化が阻害される。

【0115】

以上より明らかなように、 $T_1 < T_2$ とすることにより、メモリの耐圧性能を低下させることなく、書込み動作及び消去動作の電圧を低下させ、又は書込み動作及び消去動作を高速にし、更にメモリ効果を増大することが可能となる。

なお、絶縁膜の厚さ T_1 は、製造プロセスによる均一性や膜質が一定の水準を維持することが可能であり、かつ保持特性が極端に劣化しない限界となる 0.8 nm 以上であることがより好ましい。

【0116】

具体的には、デザインルールの大きな高耐圧が必要とされる液晶ドライバLSIのような場合、液晶パネルTF-Tを駆動するために、最大 $15 \sim 18 \text{ V}$ の電圧が必要となる。このため、通常、ゲート酸化膜を薄膜化することができない。液晶ドライバLSIに画像調整用として本発明の不揮発性メモリを混載する場合、本発明のSWメモリ素子ではゲート絶縁膜厚とは独立して電荷保持膜（シリコン窒化膜242）とチャネル領域又はウェル領域とを隔てる絶縁膜の厚さを最適に設計できる。例えば、ゲート電極長（ワード線幅） 250 nm のメモリセルに対して、 $T_1 = 20 \text{ nm}$ 、 $T_2 = 10 \text{ nm}$ で個別に設定でき、書込み効率のよいメモリセルを実現できる。（ T_1 が通常のロジックトランジスタよりも厚くても短チャネル効果が発生しない理由はゲート電極に対して、ソース・ドレイン領域がオフセットしているためである）。

【0117】

（実施の形態8）

この実施の形態のSWメモリ素子は、図18に示すように、電荷保持膜（シリコン窒化膜242）とチャネル領域又はウェル領域とを隔てる絶縁膜の厚さ（ T_1 ）が、ゲート絶縁膜の厚さ（ T_2 ）よりも厚いこと以外は、実施の形態2と実質的に同様の構成を有する。

【0118】

ゲート絶縁膜214は、素子の短チャネル効果防止の要請から、その厚さ T_2 には上限値が存在する。しかし、絶縁膜の厚さ T_1 は、短チャネル効果防止の要

請かかわらず、 T_2 よりも厚くすることが可能である。すなわち、微細化スケーリングが進んだとき（ゲート絶縁膜の薄膜化が進行したとき）にゲート絶縁膜厚とは独立して電荷保持膜（シリコン窒化膜 242）とチャネル領域又はウェル領域とを隔てる絶縁膜の厚さを最適に設計できるため、メモリ機能体がスケーリングの障害にならないという効果を奏する。

【0119】

このSWメモリ素子において、上述のように T_1 に対する設計の自由度が高い理由は、既に述べた通り、電荷保持膜とチャネル領域又はウェル領域とを隔てる絶縁膜が、ゲート電極とチャネル領域又はウェル領域とに挟まれていないことによる。そのため、ゲート絶縁膜に対する短チャネル効果防止の要請にかかわらず、 T_1 を T_2 より厚くすることが可能になる。

【0120】

T_1 を厚くすることにより、メモリ機能体に蓄積された電荷が散逸するのを防ぎ、メモリの保持特性を改善することが可能となる。

【0121】

したがって、 $T_1 > T_2$ とすることにより、メモリの短チャネル効果を悪化させることなく保持特性を改善することが可能となる。

【0122】

なお、絶縁膜の厚さ T_1 は、書換え速度の低下を考慮して、20 nm以下であることが好ましい。

【0123】

具体的には、フラッシュメモリに代表される従来の不揮発性メモリは、選択ゲート電極が書込み消去ゲート電極を構成し、上記書込み消去ゲート電極に対応するゲート絶縁膜（フローティングゲートを内包する）が電荷蓄積膜を兼用している。このため、微細化（短チャネル効果抑制のため薄膜化が必須）の要求と、信頼性確保（保持電荷のリーク抑制のため、フローティングゲートとチャネル領域又はウェル領域とを隔てる絶縁膜の厚さは7 nm程度以下には薄膜化できない）の要求が相反するため、微細化が困難となる。実際、ITRS（International Technology Roadmap for Semiconductors）によれば、物理ゲート長の微細化は

0. 2ミクロン程度以下に対して目処が立っていない。このSWメモリ素子では、上述したようにT1とT2を個別に設計できることにより、微細化が可能となる。

【0124】

例えば、ゲート電極長（ワード線幅）45nmのメモリセルに対して、T2 = 4nm、T1 = 7nmで個別に設定し、短チャネル効果の発生しないSWメモリ素子を実現することができる。T2を通常のロジックトランジスタよりも厚く設定しても短チャネル効果が発生しない理由は、ゲート電極に対して、ソース／ドレイン領域がオフセットしているためである。

【0125】

また、このSWメモリ素子は、ゲート電極に対して、ソース／ドレイン領域がオフセットしているため、通常のロジックトランジスタと比較しても更に微細化を容易にする。

【0126】

つまり、メモリ機能体の上部に書込、消去を補助する電極が存在しないため、電荷保持膜とチャネル領域又はウェル領域とを隔てる絶縁膜には、書込、消去を補助する電極とチャネル領域又はウェル領域間に働く高電界が直接作用せず、ゲート電極から横方向に広がる比較的弱い電界が作用するのみである。そのため、同じ加工世代に対してロジックトランジスタのゲート長と同程度以上に微細化されたゲート長を保有するSWメモリ素子を実現することができる。

【0127】

（実施の形態9）

この実施の形態は、SWメモリ素子の書換えを行ったときの電気特性の変化に関する。

【0128】

Nチャネル型SWメモリ素子において、メモリ機能体中の電荷量が変化したとき、図19に示すような、ドレイン電流（ I_d ）対ゲート電圧（ V_g ）特性（実測値）を示す。

【0129】

図 19 から明らかなように、消去状態（実線）から書込み動作を行った場合、単純に閾値が上昇するのみならず、特にサブスレッショルド領域においてグラフの傾きが顕著に減少している。そのため、ゲート電圧（ V_g ）が比較的高い領域においても、消去状態と書込み状態でのドレイン電流比が大きくなる。例えば、 $V_g = 2.5 \text{ V}$ においても、電流比は 2 桁以上を保っている。この特性は、フラッシュメモリの場合（図 27）と大きく異なる。

【0130】

このような特性の出現は、ゲート電極と拡散領域とがオフセットし、ゲート電界がオフセット領域に及びにくいために起こる特有な現象である。SWメモリ素子が書込み状態にあるときには、ゲート電極に正電圧を加えてもメモリ機能体下のオフセット領域には反転層が極めてできにくい状態になっている。これが、書込み状態においてサブスレッショルド領域での $I_d - V_g$ 曲線の傾きが小さくなる原因となっている。

【0131】

一方、SWメモリ素子が消去状態にあるときには、オフセット領域には高密度の電子が誘起されている。更に、ゲート電極に 0 V が印加されているとき（すなわちオフ状態にあるとき）は、ゲート電極下のチャネルには電子が誘起されない（そのためオフ電流が小さい）。これが、消去状態においてサブスレッショルド領域での $I_d - V_g$ 曲線の傾きが大きく、かつ閾値以上の領域でも電流の増加率（コンダクタンス）が大きい原因となっている。

【0132】

以上のことから明らかなように、本発明の SWメモリ素子は、書込み時と消去時のドレイン電流比を特に大きくすることができる。

【0133】

（実施の形態 10）

この実施の形態は、実施の形態 1 ～ 8 に記載の SWメモリ素子を複数配列したコンピュータシステム及びその動作方法に関する。

【0134】

以下の説明の中には、コンピュータメモリ内のデータビットに関わる演算を記

号表現によって提示する部分がある。具体的には、動作は、通常、記憶、転送、組み合わせ、比較及びその他の方法による操作が可能である電気信号又は磁気信号の形態をとる。必要に応じて、それらの信号を、ビット、値、要素、記号、文字、項、数などと呼ぶ。

【0135】

更に、実行される動作を加算又は比較などの用語で呼ぶ。動作は機械の動作である。本発明の動作を実行するには、汎用デジタルコンピュータ又は他の同様の装置を用いることができる。あらゆる場合に、コンピュータを動作させる方法と計算の方法それ自体との区別に留意すべきである。以下では、電気信号又は他の（例えば、機械的、化学的）物理的信号を処理して、他の所望の物理的信号を発生させるコンピュータシステム及びその動作方法を説明する。

【0136】

図24には、コンピュータシステム310が示されている。システム310は、コンピュータを動作させるためにシステム310に提供される様々な命令を実行するCPU（中央処理装置）311を含む。CPU311は、システム310の様々な構成要素へ情報を搬送するためのバス312に結合している。バス312に結合しているメインメモリ313は、典型的には、システム310に電力が供給されている期間中に情報を記憶するために当業者にはよく知られている方式で配列されたダイナミックランダムアクセスメモリに代表される揮発性メモリから構成されている。同様にバス312に結合しているROM（読み取り専用メモリ）314は、システム310に電力が供給されていないときに特定のメモリ条件にそれぞれ適合する、当業者には周知の様々なメモリ素子を含んでよい。ROM314は、典型的には、通常はBIOSプロセスと呼ばれる基本入出力プロセスとスタートアッププロセスなどのCPU311により使用される様々な基本機能を記憶する。このようなメモリ314は、特定のコンピュータが使用するBIOSプロセスのうちいくつかが変更されるのに従って修正しうるSWメモリ素子から構成される。メモリ314に記憶された値の再プログラムは、コンピュータ自体で更新プロセスを実行することにより、メモリを修正しておこうなうことができる。SWメモリ素子を複数備えたメモリアレイには、それらをプログラ

ムする回路を含んでいてもよい。

【0137】

バス 312 には、長期間の記憶保持のための不揮発性メモリ 316 などの様々な周辺構成要素と、表示用のモニタなどの出力ディスプレイ 318 へ転送されるデータを書込めるフレームバッファ 317 などの回路も接続できる。不揮発性メモリ 316（典型的には電気機械的ハードディスクドライブ）の構成と動作は当業者に公知のものを使用できる。この典型的な電気機械ハードディスクドライブの代わりに、SWメモリ素子を不揮発性メモリ 316 として使用してもよい。そのような SWメモリ素子は、更に進歩したポータブルコンピュータの集積回路で通常利用可能である電圧より高い電圧を利用する技法によってプログラムできる。そのような SWメモリ素子メモリアレイは、メモリアレイをプログラムする回路を含んでもよい。従って、本発明によれば、そのような不揮発性メモリアレイ 316 並びにメモリ 314 を使用することで、コンピュータで通常利用されるバッテリーから利用可能な低い電圧から高電圧を発生する回路を構成できる。

【0138】

上記のような用途で用いられる SWメモリアレイにデータをプログラムする際には CPU から SWメモリにプログラム実行信号が入力される。このとき SWメモリ内部では、プログラムされる SWメモリトランジスタに前述の電圧が印加される。更にプログラムの精度を向上させるときにはベリファイを実行し、電圧の再印加の必要性も確認する場合もある。現在のメモリは 1 アドレスに対し 1 ワード（16 ビット）の出力を持つ形式が一般的であり、必然的にプログラムも 1 ワードずつ実行され、各セルのソースに 5 ボルト、ゲートに 5 ボルトを印加し、かつドレインを接地することが必要であった。ここでソース及びドレインの電極は読み出し時の状態に対応するものである。

【0139】

SWメモリのデバイスの電源が 3 V や 1.8 V のような低電圧であるとき上記のようなプログラム用の高電圧を内部で発生させるためチャージポンプを設けるのが一般的である。しかし、これらチャージポンプは電流供給能力が乏しく、高電流を得る時には同電位を発生させるチャージポンプを並列に接続するか、チャー

ジポンプで利用する容量値を増加させ電流供給能力を増加させる必要がある。

【0140】

図25は、SWメモリ素子アレイ426と、SWメモリ素子アレイ426をプログラムする回路とを含む集積回路420を示すブロック線図である。メモリセルの各電極へ印加される電圧はゲート用チャージポンプ回路422及びソース／ドレイン用チャージポンプ回路423に供給される。ゲート用チャージポンプ回路422は約5ボルトのポンプ出力電圧を供給するように考案されており、ソース／ドレイン用チャージポンプ回路423も約5ボルトのポンプ出力電圧を発生するように考案されている。注意すべき点はSWメモリセルの電極に必要な電圧を5V印加する必要がある事である。チャージポンプからメモリセルまでの間には配線抵抗のような寄生負荷や切り替え回路内で電流経路が発生する場合もあるため、一般的にはそれらを含み必要な能力が得られるように考案しなければならない。

【0141】

ゲート用チャージポンプ422からの電圧は、SWメモリトランジスタ428（図25では1つのSWメモリトランジスタ428のみ示し、省略している）のゲート端子に電圧を供給する1組のワード線電圧切替及び選択回路424に供給される。ソース／ドレイン用チャージポンプ423により供給される電圧は、SWメモリトランジスタ428のドレイン端子に電圧を供給する1組のビット線電圧切替及び選択回路427とソース端子に電圧を供給する1組のソース線電圧切替及び選択回路425に供給される。

【0142】

上記3組の切替回路及び選択回路424、425及び427の各々は、プログラミング時に適切な電圧を供給するために、制御回路429からの信号により制御される。ここで、制御回路429は特に読み出し及びプログラミングを含むSWメモリ素子アレイ426の全動作の制御を実行するように設計されたマイクロプロセッサであってもよい。

【0143】

前述したように、SWメモリトランジスタ428のプログラミング中には、通

常はドレインを接地し、ゲート端子に約 5 ボルトを印加しかつソース端子に約 5 ボルトを印加する。ゲート端子やドレイン端子には高電圧が印加されるため、プログラム時には大きなソース電流が流れる。そのため、ソース電流を供給するソース／ドレイン用チャージポンプ回路 423 には大電流を供給できる能力が求められ、前述したように並列に複数のチャージポンプを接続するか容量の増加により電流を得る必要がある。

【0144】

SWメモリ素子はフラッシュEEPROMに対し書き込み電流が少ないため、フラッシュEEPROMに比べチャージポンプの電流供給能力も低減化できるが、前述したシステムのように1ワードの書き込みを行なうときには、やはり大きな電流能力が要求される。

【0145】

そこで、SWメモリ素子アレイのメモリ素子をプログラミングするときに使用される電流を更に減少させるために、本発明に従った回路が設けられている。この回路では、従来の技術の構造で実行されていたように1ワードの全てのビットを同時にプログラミングするのではなく、ビットは一度に4ビットずつ順次プログラミングされる。このようにすると、アレイをプログラミングするために要求される電流を四分の一に低減化できる。これによりチャージポンプに必要な電流供給能力も低減化できるため、チャージポンプの面積も削減できる。

【0146】

チャージポンプの出力端子で要求される電流を減少させるために、チャージポンプにより供給される出力電圧は、選択された1ワード内の4ビットのセルをプログラムするために必要なドレイン電圧を供給するように接続されている。図26では、チャージポンプの出力はビット線、ソース線選択回路と協働する組の切替回路により4本1組のビット線の組に順次供給される。このようにすると、チャージポンプは4つのメモリセルを同時にプログラムするのに十分な電流を供給するだけでよい。このように動作させるためには、どのプログラミング期間中にも、1ワードに相当する16ビットセルを同時にプログラムする時に比べ、四分の一のプログラミング電流のみでプログラムが可能となる。プログラミングすべ

き1つの組の中で選択されるビットの数は、チャージポンプ回路素子の大きさによって決まる特定の電荷の電流容量との関数である。特定のケースには、1ワードの中の4ビットに限定せず、それ以上あるいはそれ以下であっても本発明は適応できる。

【0147】

図26に示すように、チャージポンプ530はメモリアレイの1ワードをプログラミングするために使用される出力電圧と電流を供給する。その出力電圧は4つの個別の切替回路544～547に供給される。それらの切替回路544～547の各々は、チャージポンプの出力端子で供給される電圧を切替回路544～547の出力端子で順次選択される4組のビット線の各々に順次接続させることができる入力制御信号をステートマシン542から受ける。ステートマシンはイネーブル信号を切替回路544～547へ一定の順序で送り、これはプログラムされるワードごとに繰り返される。特定の実施形態においてイネーブル信号を供給するために、ステートマシンの代わりに、コントローラ回路、プロセッサなどの他の回路、あるいは一連のパルスが発生する他の方法を使用してもよい。

【0148】

これらの制御回路によるプログラミングプロセスの流れを図27に示す。図示されるようにステートマシン542により第1のイネーブル信号が発生し、個々の切替回路544～547の中の第1の切替回路544へ転送する。回路544は、例えば、プログラミングすべきであるとして選択されるワードのビット0から3への電圧の転送を制御する。この第1のイネーブル信号は、チャージポンプ530により供給される電圧をその切替回路544～547に接続するプログラミングされるべき4本のビット線に印加させ、メモリデバイスのソース端子へ転送する。いずれの場合にも、プログラミングすべき実際のビット線はビット線選択回路（ソース線の実選択の機能も備える）549により選択される。

【0149】

最初にプログラムされる4ビットのビット線のうちプログラムされるメモリ素子のソースにチャージポンプ530から適切な高電圧が印加されプログラムが行なわれる。最初の4ビットのプログラムが完了するとステートマシン542は別

の（第2の）イネーブル信号を発生し、その信号は第2の切替回路545へ転送されるので、その切替回路545に接続している4本のビット線のうちプログラミングすべきビット線（例えば、プログラミングすべき選択された語のビット4から7）にチャージポンプ530により供給される電圧を印加できる。このようなイネーブルパルスの発生と、4本1組で構成される組のビット線のプログラムは、ワードの全ビットがプログラムされ終わるまで、4ビットずつの逐次継続して実行される。4ビットずつの各組が終了するたびに、ワードの中にまだプログラミングされていない別のビットの組が存在しているか否の確認も実行してもよい。ワードをプログラミングした後、プログラムが正しくなされているか確認するために、ベリファイを行なってもよい。

【0150】

（実施の形態11）

上述したSWメモリ素子の応用例として、例えば、図20に示したように、液晶パネルの画像調整用の書換え可能な不揮発性メモリが挙げられる。

【0151】

液晶パネル1001は、液晶ドライバ1002によって駆動される。液晶ドライバ1002内には、不揮発性メモリ部1003、SRAM部1004、液晶ドライバ回路1005がある。不揮発性メモリ部は、本発明のSWメモリ素子、より好ましくは実施の形態1～8に記載のSWメモリ素子よりなる。不揮発性メモリ部1003は外部から書換え可能な構成を有している。

【0152】

不揮発性メモリ部1003に記憶された情報は、機器の電源の投入時にSRAM部1004に転写される。液晶ドライバ回路1005は、必要に応じてSRAM部1004から記憶情報を読み出すことができる。SRAM部を設けることにより、記憶情報の読出し速度を非常に高速に行なうことができる。

【0153】

液晶ドライバ1002は、図20に示すように液晶パネル1001に外付けしてもよいが、液晶パネル1001上に形成してもよい。

【0154】

液晶パネルは、各画素に多段階の電圧を与えることによって表示される階調を変えているが、与えた電圧と表示される階調との関係は製品ごとにばらつきが生じる。そのため、製品の完成後に個々の製品のばらつきを補正するための情報を記憶させ、その情報を基に補正を行なうことにより、製品間の画質を均一にすることができる。したがって、補正情報を記憶するための書換え可能な不揮発性メモリを搭載することが好ましい。この不揮発性メモリとして本発明のSWメモリ素子を用いるのが好ましく、特に、本発明のSWメモリ素子を集積した実施の形態1～8に記載のSWメモリ素子を用いるのが好ましい。

【0155】

本発明のSWメモリ素子を液晶パネルの画像調整用の不揮発性メモリとして用いれば、液晶ドライバなどの回路との混載プロセスが容易であることから製造コストを低減することができる。また、実施の形態1～8に記載のSWメモリ素子は、比較的メモリ規模が小規模で、信頼性や安定性が重視される場合に特に好適である。2個のSWメモリ素子（SWメモリ素子対）の出力が、同一のセンスアンプに入力されているため、同様なデバイス構造を有する2つのSWメモリ素子を通る電流の差を検知するため、読出し動作が確実で安定して行なわれるからである。そのため、ビット当たりの面積は大きくなるものの、メモリ規模が小規模であれば他の回路面積と比較してその増大割合は許容することができる。通常、液晶パネルの画像調整用の不揮発性メモリは、例えば、数キロバイトであり、比較的メモリ規模が小規模である。したがって、実施の形態1～8に記載のSWメモリ素子を液晶パネルの画像調整用の不揮発性メモリとして用いるのが特に好ましい。

【0156】

（実施の形態12）

上述したSWメモリ素子が組み込まれた携帯電子機器である携帯電話を、図21に示す。

【0157】

この携帯電話は、主として、制御回路811、電池812、RF（無線周波数）回路813、表示部814、アンテナ815、信号線816、電源線817等

によって構成されており、制御回路 811 には、上述した本発明の SW メモリ素子が組み込まれている。なお、制御回路 811 は、同一構造の素子をメモリ回路素子及び論理回路素子として兼用した集積回路であるのが好ましい。これにより、集積回路の製造が容易になり、携帯電子機器の製造コストを特に低減することができる。

【0158】

このように、メモリ部と論理回路部の混載プロセスが簡易で、かつ高速読出し動作が可能である SW メモリ素子を携帯電子機器に用いることにより、携帯電子機器の動作速度を向上させ、製造コストを削減することが可能になり、安価で高信頼性、高性能の携帯電子機器を得ることができる。

【0159】

【発明の効果】

本発明によれば、SW メモリ素子は、メモリ機能体が担うメモリ機能と、ゲート絶縁膜が担うトランジスタ動作機能とを分離しているため、メモリ機能を損なうことなく、ゲート絶縁膜を薄膜化して短チャンネル効果を抑制することができる。

【0160】

更に、EEPROM に比べて書換えにより拡散領域間を流れる電流値が大きく変化する。したがって、SW メモリ素子の書込み状態と消去状態との判別が容易となり、信頼性を向上させることができる。

【0161】

しかも、SW メモリ素子の形成プロセスは、通常のトランジスタ形成プロセスと非常に親和性が高い。それゆえ、従来技術のフラッシュメモリを不揮発性メモリ素子として用いて通常トランジスタと混載する場合に比べて、飛躍的にマスク枚数及びプロセス工数を削減することが可能となる。したがって、チップの歩留まりが向上し、コストが削減され、安価でかつ信頼性の高い SW メモリ素子を得ることができる。

【0162】

また、本発明の表示装置によれば、上述の SW メモリ素子を備えているため、

例えば、SWメモリ素子を表示パネルの製造後に表示ばらつきを補正するための情報記憶に用いることができ、表示装置の製品間の画質を均一にすることができる。しかも、SWメモリ素子と論理回路部の混載プロセスが簡易であり、製造コストを抑制することができ、安価で信頼性の高い表示装置を得ることができる。

【0163】

本発明によれば、上述のSWメモリ素子を備えているため、SWメモリ素子と論理回路部の混載プロセスが簡易となり、電子機器の動作速度を向上させ、製造コストを削減することが可能になるとともに、安価で信頼性の高い電子機器、特に携帯電子機器を得ることができる。

【図面の簡単な説明】

【図1】 本発明の半導体記憶装置におけるSWメモリ素子（実施の形態1）の要部の概略断面図である。

【図2】 本発明の半導体記憶装置におけるSWメモリ素子（実施の形態1）の変形の要部の概略断面図である。

【図3】 本発明の半導体記憶装置におけるSWメモリ素子（実施の形態1）の書込み動作を説明する図である。

【図4】 本発明の半導体記憶装置におけるSWメモリ素子（実施の形態1）の書込み動作を説明する図である。

【図5】 本発明の半導体記憶装置におけるSWメモリ素子（実施の形態1）の消去動作を説明する図である。

【図6】 本発明の半導体記憶装置におけるSWメモリ素子（実施の形態1）の消去動作を説明する図である。

【図7】 本発明の半導体記憶装置におけるSWメモリ素子（実施の形態1）の読出し動作を説明する図である。

【図8】 本発明の半導体記憶装置におけるSWメモリ素子（実施の形態2）の要部の概略断面図である。

【図9】 図8の要部の拡大断面図である。

【図10】 図8の変形の要部の拡大断面図である。

【図11】 本発明の半導体記憶装置におけるSWメモリ素子（実施の形態

2) の電気特性を示すグラフである。

【図 1 2】 本発明の半導体記憶装置における S W メモリ素子（実施の形態 2）の変形の要部の概略断面図である。

【図 1 3】 本発明の半導体記憶装置における S W メモリ素子（実施の形態 3）の要部の概略断面図である。

【図 1 4】 本発明の半導体記憶装置における S W メモリ素子（実施の形態 4）の要部の概略断面図である。

【図 1 5】 本発明の半導体記憶装置における S W メモリ素子（実施の形態 5）の要部の概略断面図である。

【図 1 6】 本発明の半導体記憶装置における S W メモリ素子（実施の形態 6）の要部の概略断面図である。

【図 1 7】 本発明の半導体記憶装置における S W メモリ素子（実施の形態 7）の要部の概略断面図である。

【図 1 8】 本発明の半導体記憶装置における S W メモリ素子（実施の形態 8）の要部の概略断面図である。

【図 1 9】 本発明の半導体記憶装置における S W メモリ素子（実施の形態 9）の電気特性を示すグラフである。

【図 2 0】 本発明の半導体記憶装置を組み込んだ液晶表示装置（実施の形態 1 1）の概略構成図である。

【図 2 1】 本発明の半導体記憶装置を組み込んだ携帯電子機器（実施の形態 1 2）の概略構成図である。

【図 2 2】 従来のフラッシュメモリの要部の概略断面図である。

【図 2 3】 従来のフラッシュメモリの電気特性を示すグラフである。

【図 2 4】 本発明のコンピュータシステムのブロック図（実施の形態 1 0）である。

【図 2 5】 本発明の S W メモリ素子アレイをプログラムするための回路のブロック図（実施の形態 1 0）である。

【図 2 6】 本発明において、チャージポンプの外部電圧を制御するための回路のブロック図（実施の形態 1 0）である。

【図 27】 本発明のプログラミング方法を説明するフローチャート（実施の形態 10）である。

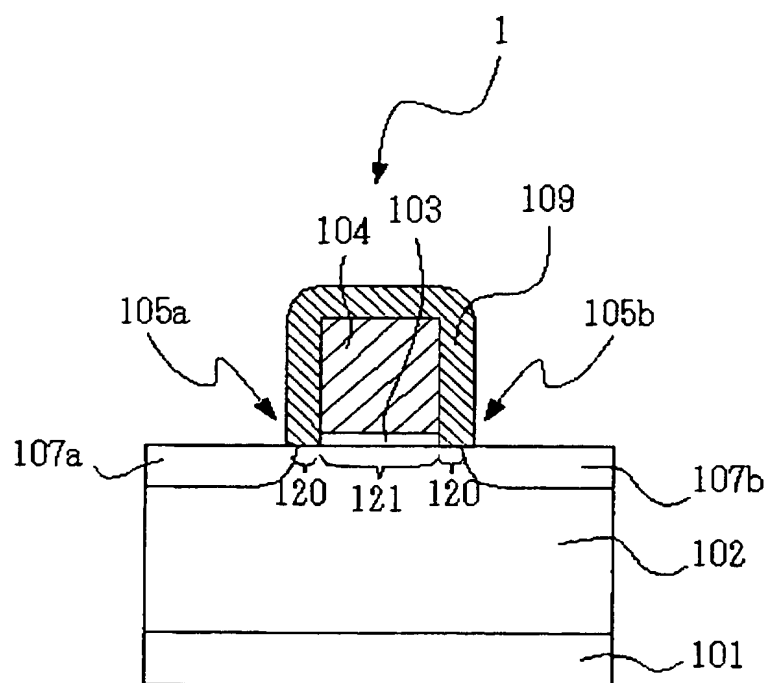
【符号の説明】

- 1 SWメモリ素子
- 101、211、286 半導体基板
- 102 P型ウェル領域
- 103、214 ゲート絶縁膜
- 104、217 ゲート電極
- 105a、105b メモリ機能部
- 107a、107b、212、213 拡散領域
- 109、142、142a、242、242a シリコン窒化膜
- 120、271 オフセット領域
- 121 ゲート電極下の領域
- 111 微粒子
- 112 絶縁膜
- 131a、131b、261、262、262a メモリ機能体
- 226 反転層
- 241、243、244 シリコン酸化膜
- 281、282、292 領域
- 283、284 電気力線
- 287 ボディ領域
- 288 埋め込み酸化膜
- 291 高濃度領域
- 310 コンピュータシステム
- 311 CPU(中央処理装置)
- 312 バス
- 313 メインメモリ
- 314 ROM(読み取り専用メモリ)
- 316 不揮発性メモリ

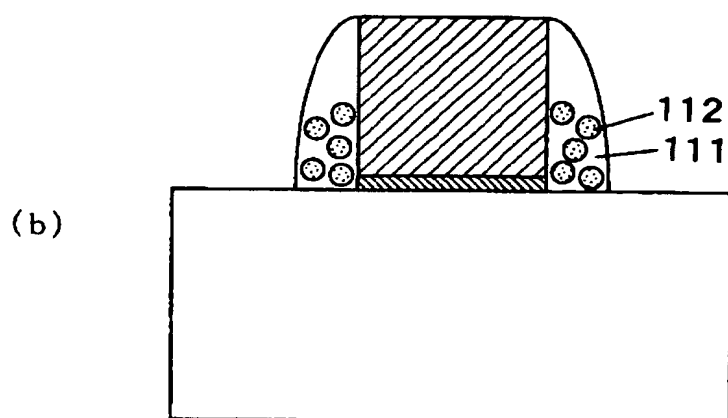
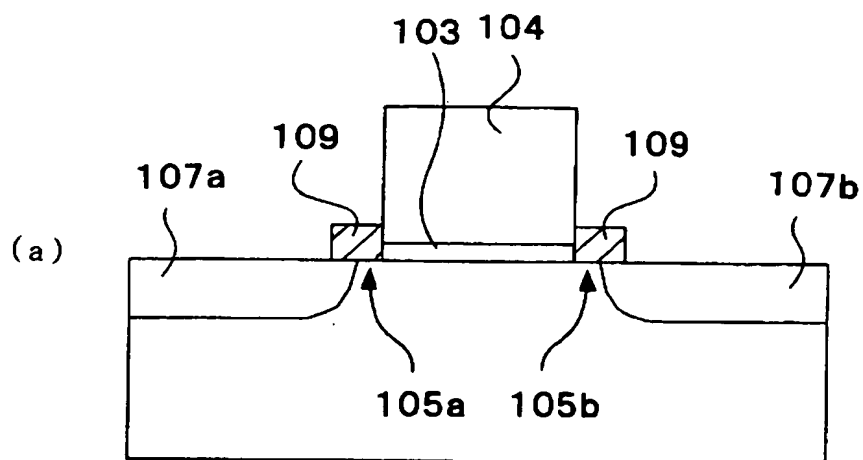
- 3 1 8 出力ディスプレイ
- 3 1 7 フレームバッファ
- 4 2 6 S W メモリ素子アレイ
- 4 2 0 集積回路
- 4 2 2 ゲート用チャージポンプ回路
- 4 2 3 ソース／ドレイン用チャージポンプ回路
- 4 2 8 S W メモリトランジスタ
- 4 2 4 ワード線切替回路及び選択回路
- 4 2 5 ソース線切替回路及び選択回路
- 4 2 7 ビット線切替回路及び選択回路
- 4 2 9 制御回路
- 5 3 0 チャージポンプ
- 5 4 4 ～ 5 4 7 切替回路
- 5 4 2 ステートマシン
- 5 4 9 ビット線、ソース線選択回路
- 8 1 1 制御回路
- 8 1 2 電池
- 8 1 3 R F 回路
- 8 1 4 表示部
- 8 1 5 アンテナ
- 8 1 6 信号線
- 8 1 7 電源線
- 1 0 0 1 液晶パネル
- 1 0 0 2 液晶ドライバ
- 1 0 0 3 不揮発性メモリ部
- 1 0 0 4 S R A M 部
- 1 0 0 5 液晶ドライバ回路

【書類名】 図面

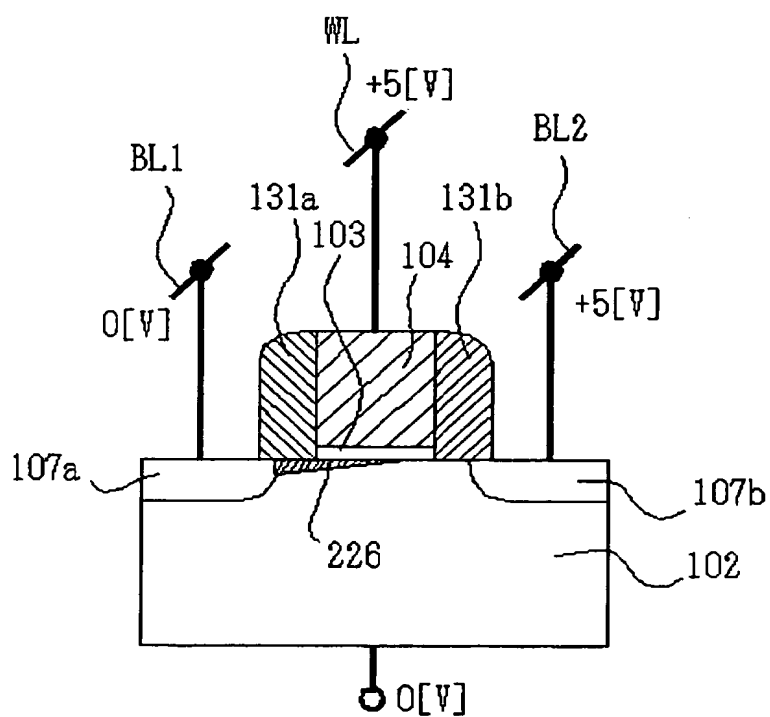
【図 1】



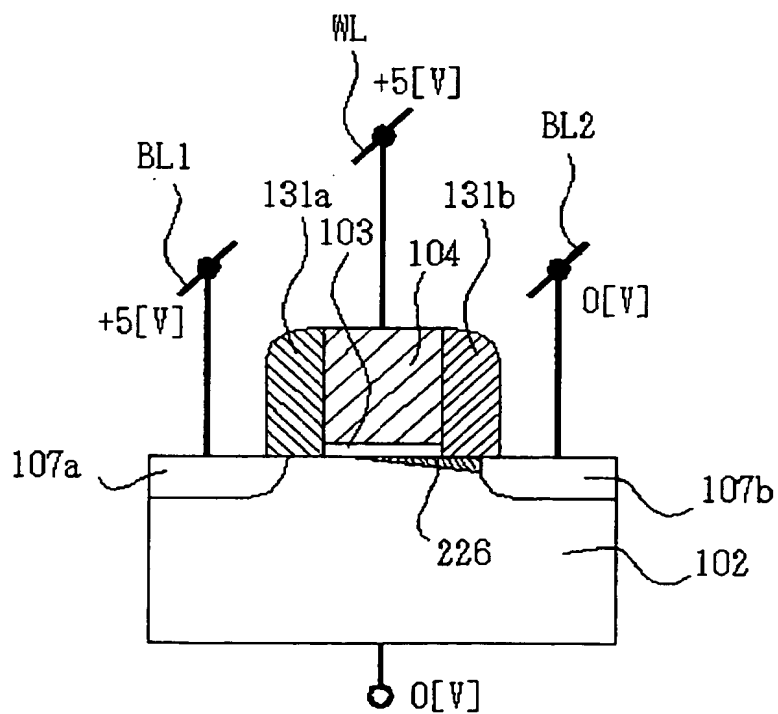
【図 2】



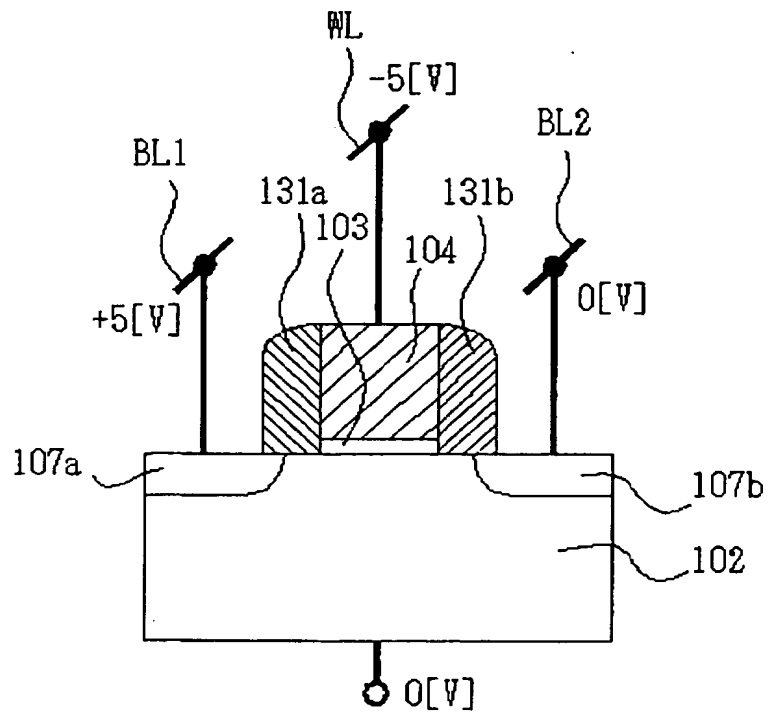
【図 3】



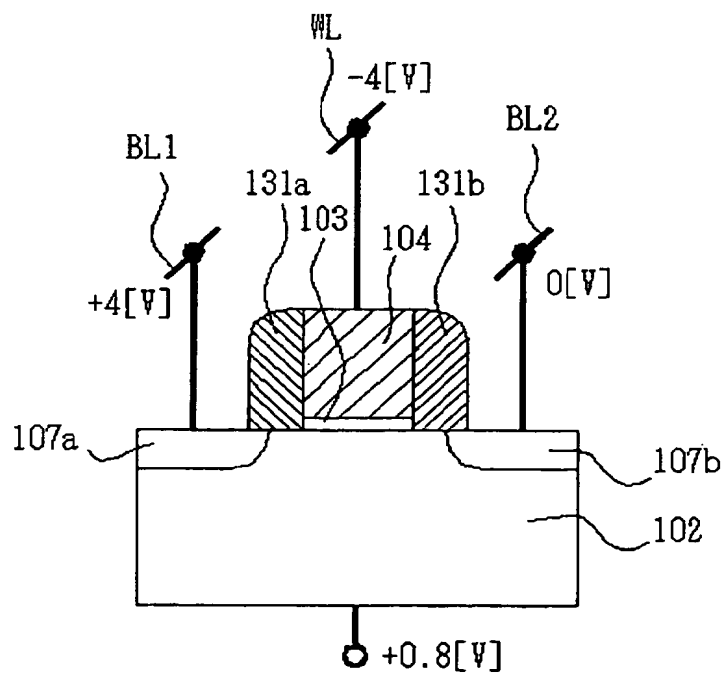
【図 4】



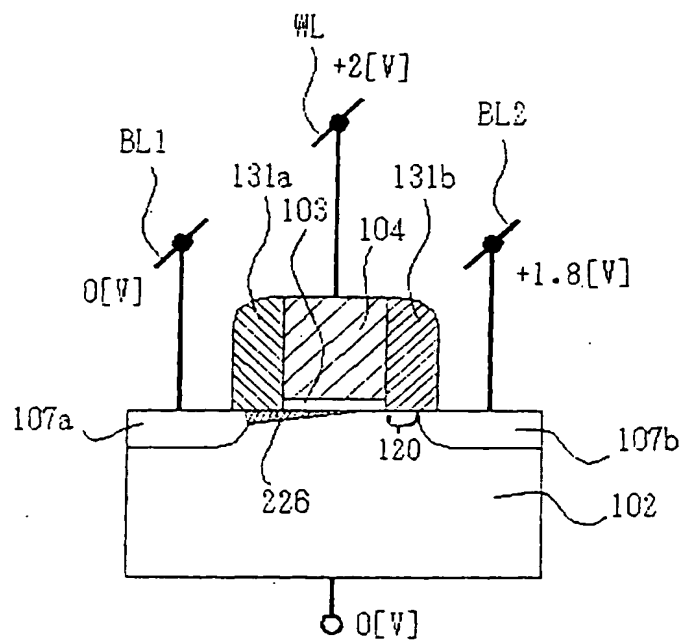
【図 5】



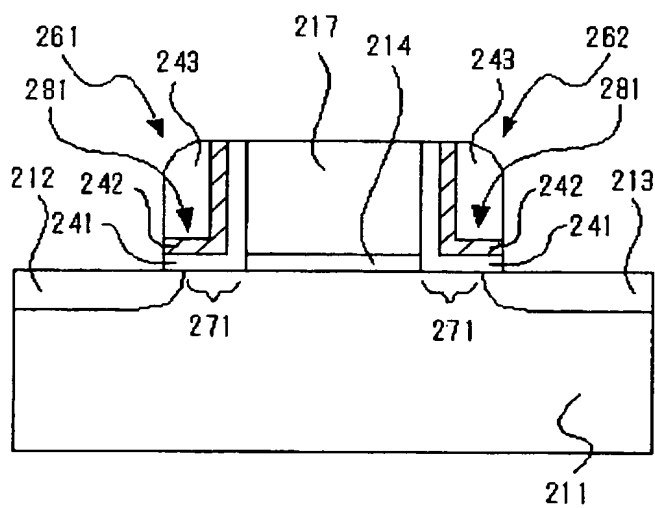
【図 6】



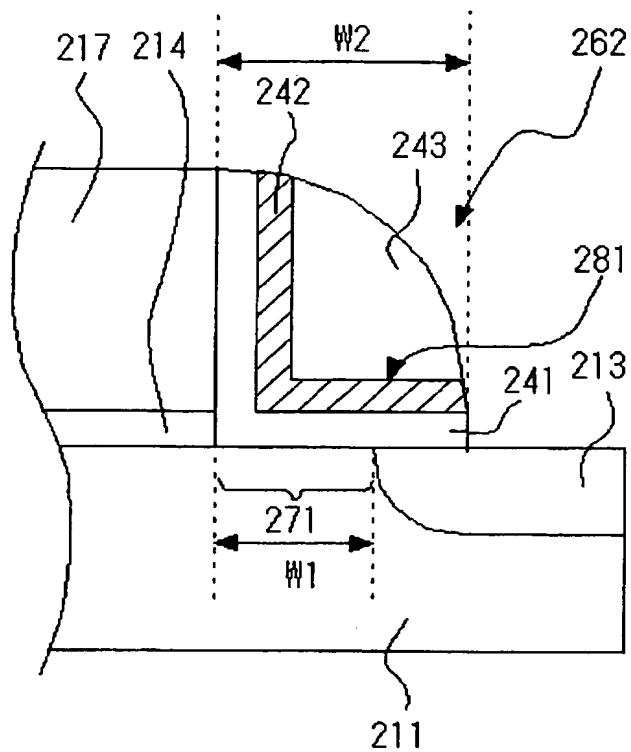
【図 7】



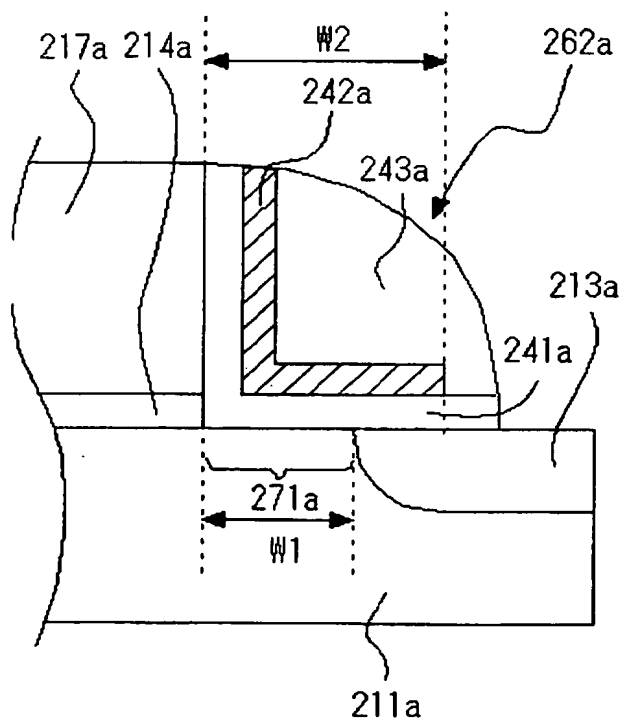
【図 8】



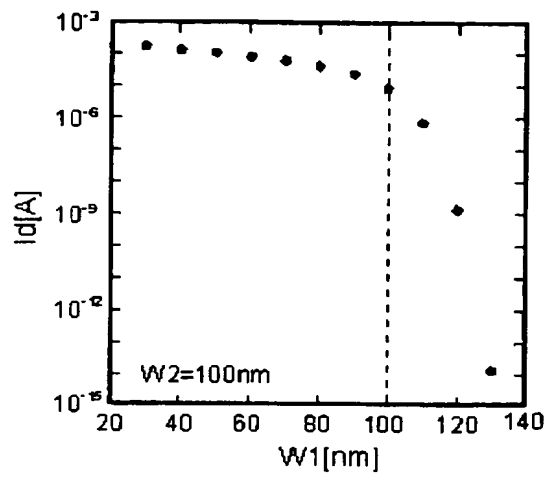
【図 9】



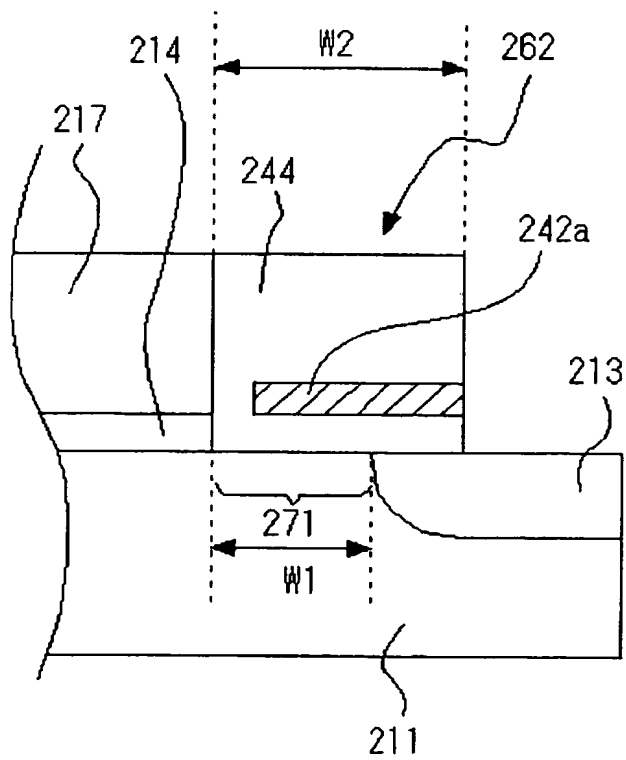
【図 10】



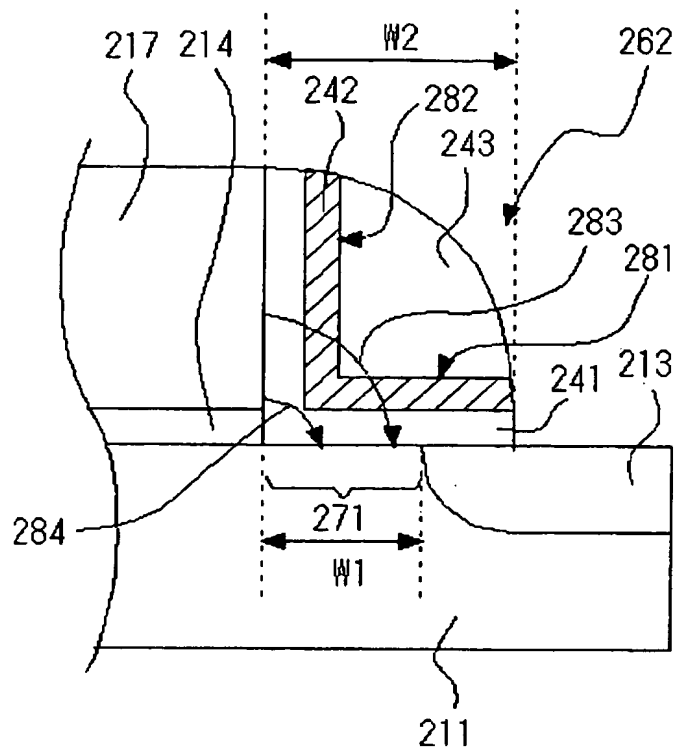
【図 1 1】



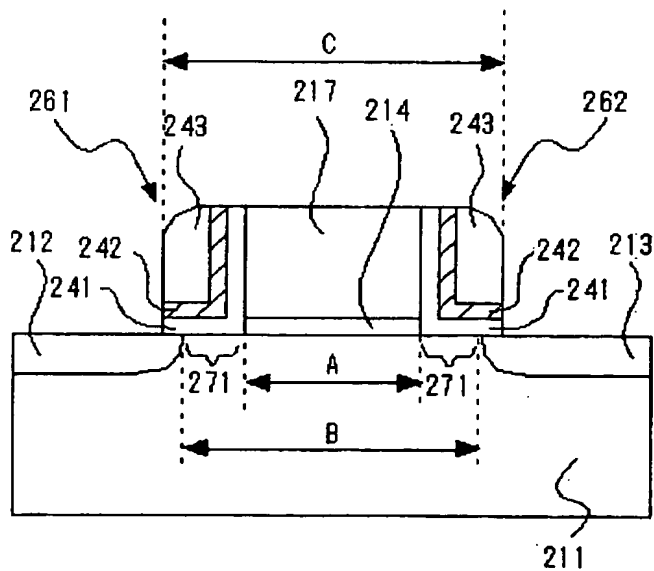
【図 1 2】



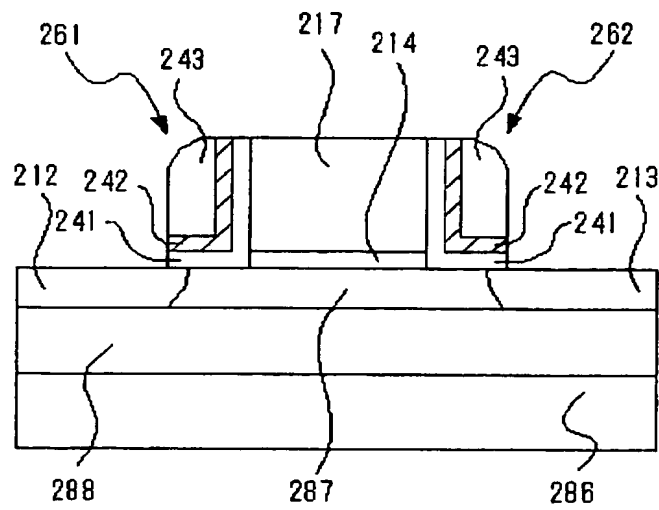
【図 13】



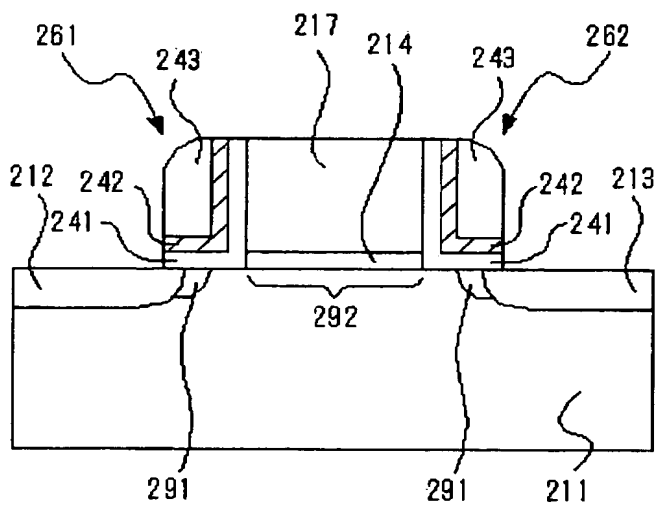
【図 14】



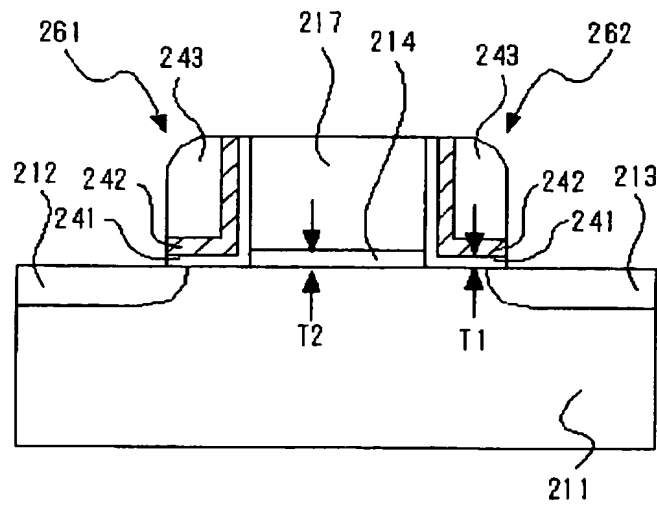
【図 15】



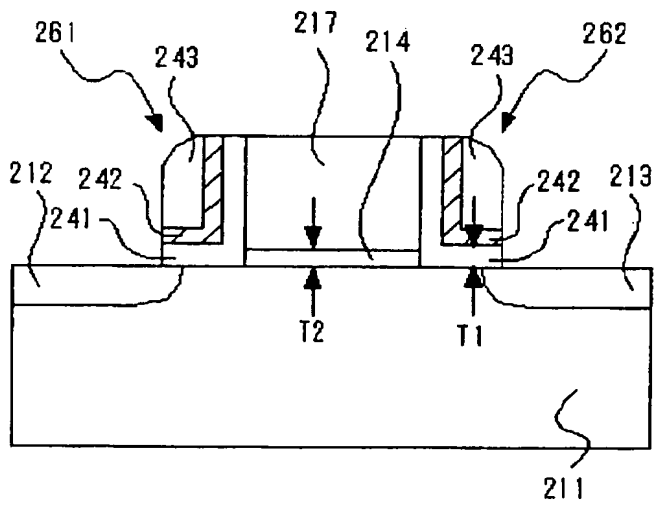
【図 16】



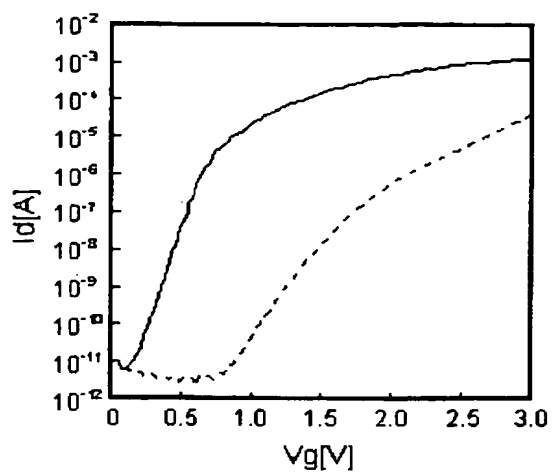
【図 17】



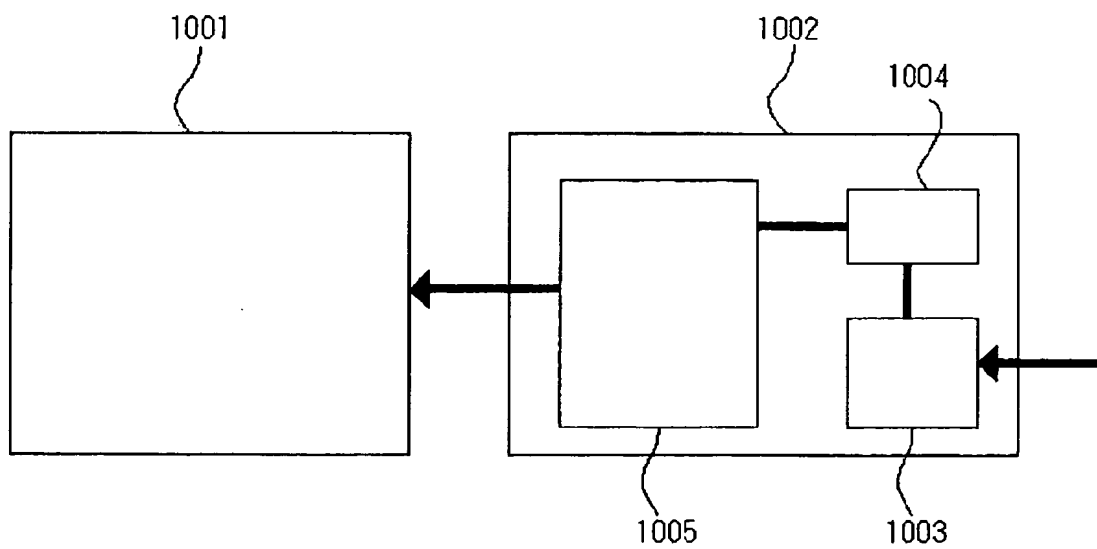
【図 18】



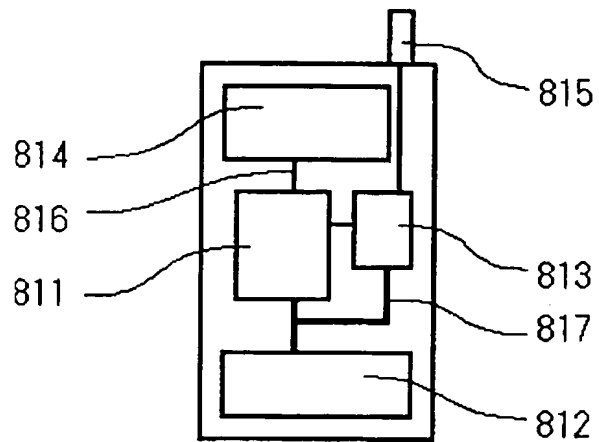
【図 19】



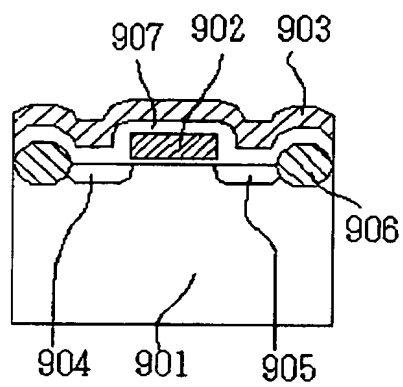
【図 20】



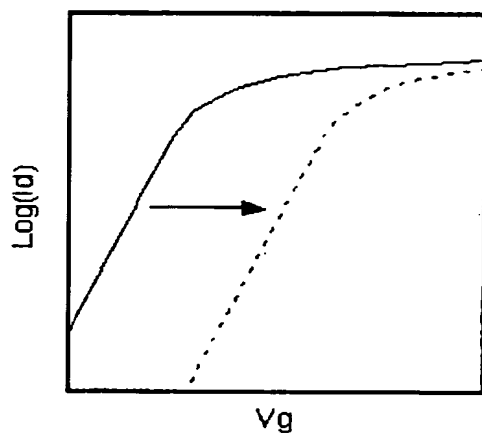
【図 2 1】



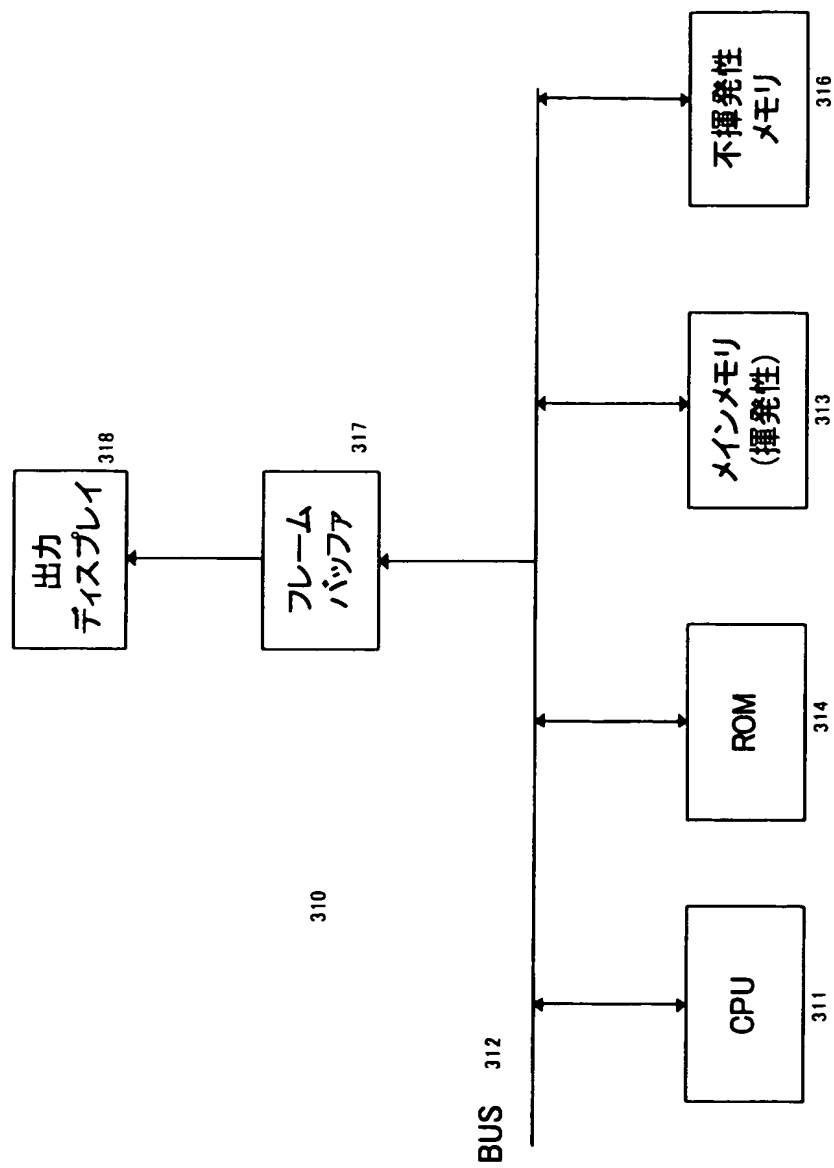
【図 2 2】



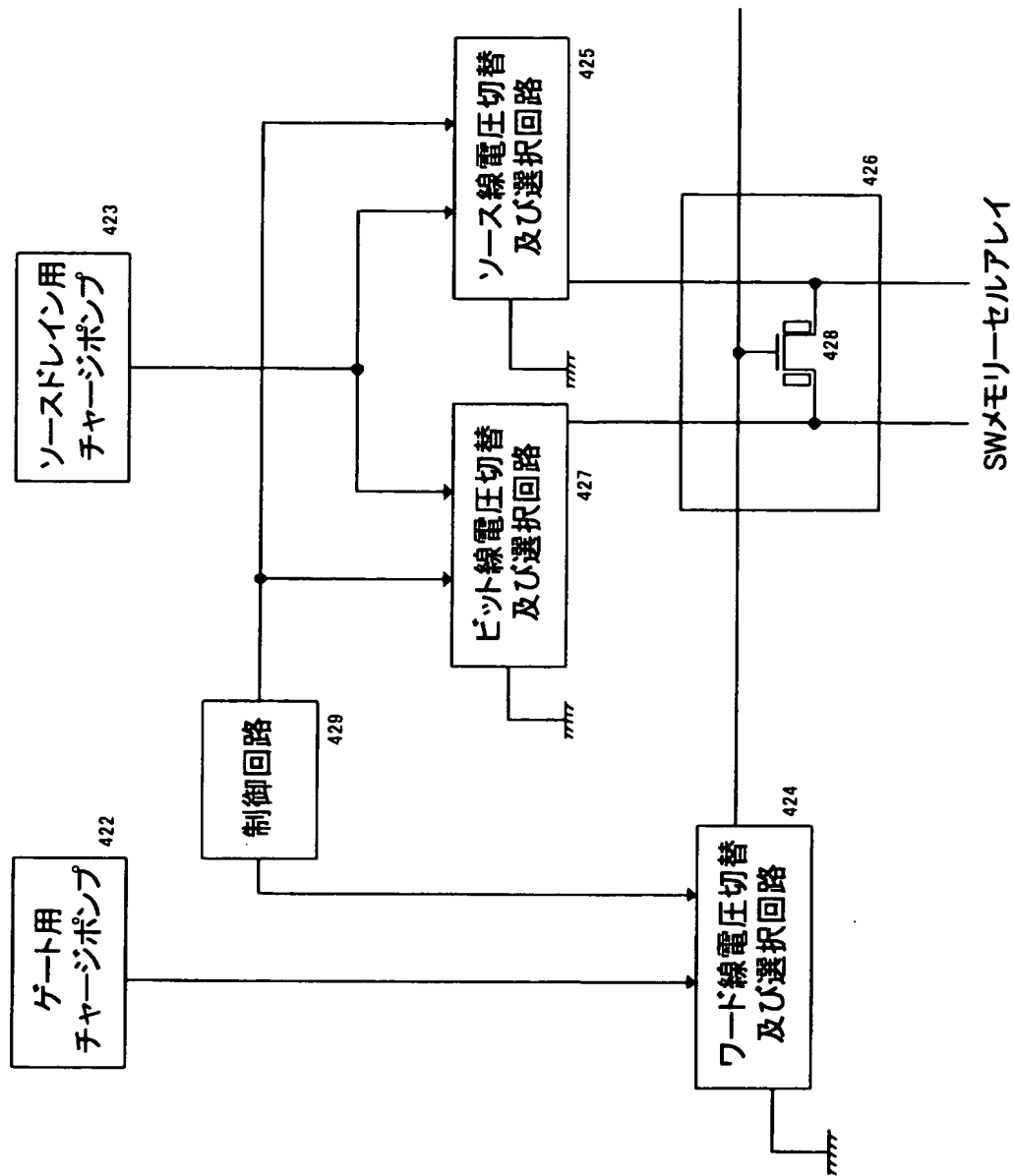
【図 2 3】



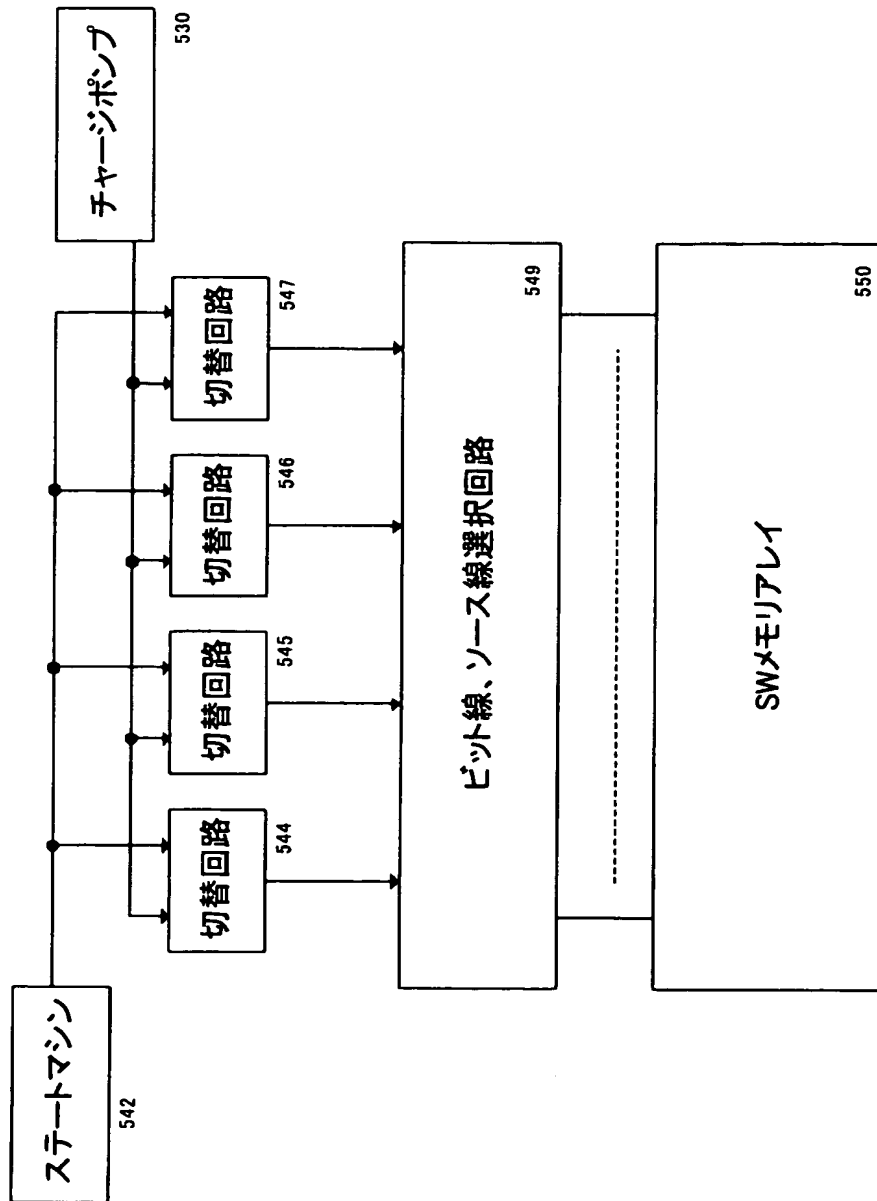
【図 24】



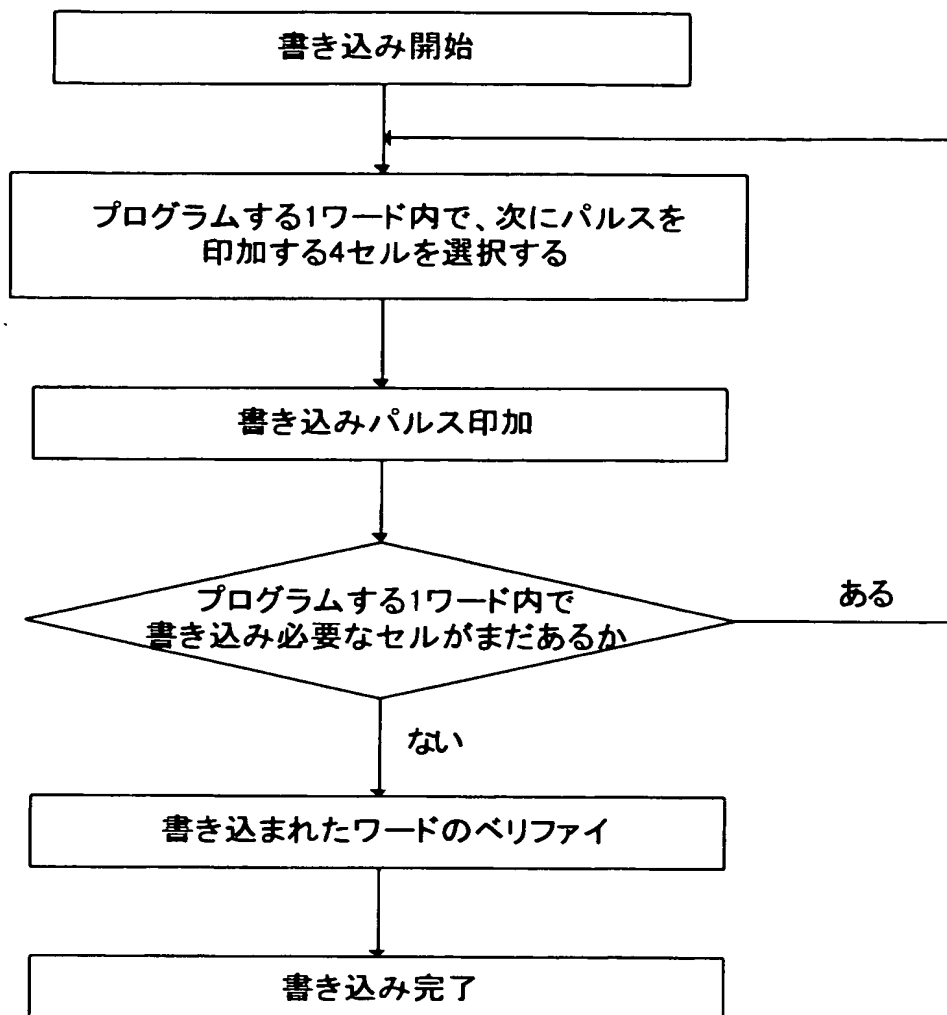
【図 25】



【図 26】



【図 27】



【書類名】 要約書

【要約】

【課題】 メモリ機能体が担うメモリ機能と、ゲート絶縁膜が担うトランジスタ動作機能とを分離し、メモリ機能を損なわず、ゲート絶縁膜を薄膜化して短チャネル効果を抑制し、微細化を図る。

【解決手段】 CPUと、サイドウォールメモリトランジスタを含むサイドウォールメモリアレイと、第1のチャージポンプと、切替回路と、論理回路とを具備するメモリ装置と、システムバスとを具備し、サイドウォールメモリトランジスタが、半導体層102上にゲート絶縁膜103を介して形成されたゲート電極104と、ゲート電極104下に配置されたチャネル領域と、チャネル領域の両側で、チャネル領域と逆導電型の拡散領域107a bと、ゲート電極104の両側で、電荷を保持する機能を有するメモリ機能体109とからなるコンピュータシステム。

【選択図】 図1

特願 2003-132005

出 願 人 履 歴 情 報

識別番号

[000005049]

1. 変更年月日

1990年 8月29日

[変更理由]

新規登録

住 所

大阪府大阪市阿倍野区長池町22番22号

氏 名

シャープ株式会社